

**INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E
TECNOLOGIA DE SANTA CATARINA
CAMPUS FLORIANÓPOLIS**

**DEPARTAMENTO ACADÊMICO DE ELETRÔNICA
CURSO SUPERIOR DE TECNOLOGIA EM SISTEMAS
ELETRÔNICOS**

BRUNO RICARDO DE ALMEIDA

**CONTROLE DIGITAL DE UM CONDICIONADOR DE
TENSÃO ALTERNADA**

FLORIANÓPOLIS

2009

BRUNO RICARDO DE ALMEIDA

CONTROLE DIGITAL DE UM CONDICIONADOR DE TENSÃO ALTERNADA

Trabalho de Conclusão de Curso submetido ao Instituto Federal de Educação Tecnológica de Santa Catarina como parte dos requisitos para obtenção do título de Tecnólogo em Sistemas Eletrônicos.

Professor Orientador – Dr. Flávio Alberto Bardemarker Batista

Professor Co-orientador – Dr. Clóvis Antônio Petry

FLORIANÓPOLIS

2009

CONTROLE DIGITAL DE UM CONDICIONADOR DE TENSÃO ALTERNADA

BRUNO RICARDO DE ALMEIDA

Este trabalho foi julgado adequado para obtenção do Título de Tecnólogo em Sistemas Eletrônicos e aprovado na sua forma final pela banca examinadora do Curso Superior de Tecnologia em Sistemas Eletrônicos do Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina.

Flávio Alberto Bardemaker Batista, Dr. Eng.
Orientador

Clóvis Antônio Petry, Dr. Eng.
Coorientador

Banca Examinadora:

Flávio Alberto Bardemaker Batista, Dr. Eng.
Presidente da Banca

Professor Carlos Gontarski Esperença, Msc.

Professor Muriel Bitencourt de Liz, Dr.

A Deus.

À minha mãe Sandra.

Ao meu pai Benedito.

Aos meus irmãos.

AGRADECIMENTOS

Primeiramente a Deus por ter me dado saúde, sabedoria e perseverança durante toda jornada acadêmica.

Gostaria de agradecer à minha mãe, Sandra, por toda dedicação e zelo e ao meu pai, Benedito, por todo incentivo.

Agradeço aos meus irmãos, Sandra, Juliana, Júlio e Luciana, pelo apoio e carinho.

Aos professores Flávio Alberto Bardemaker Batista e Clóvis Antônio Petry pela extraordinária competência, orientação e amizade.

Aos professores membros da banca Carlos Gontarski Esperença e Muriel Bitencourt de Liz pelas contribuições dadas para a elaboração deste texto final.

Aos demais professores do Departamento de Eletrônica pela orientação no decorrer da graduação.

A todos servidores do IF-SC, em especial ao Luiz Henrique da Silva, que sempre me incentivaram durante toda esta jornada de formação.

Aos colegas de sala e inúmeros amigos, em especial Daniel Dezan de Bona, sempre dispostos a ajudar, que tornavam o cotidiano mais agradável e os desafios mais fáceis de enfrentar.

Finalmente, agradeço a todos aqueles que de alguma maneira contribuirão para a conclusão deste trabalho.

“A mente que se abre a uma nova ideia
jamais voltará ao seu tamanho original.”

(Albert Einstein)

ALMEIDA, Bruno Ricardo de. **Controle Digital de um Condicionador de Tensão Alternada**, 2009. Trabalho de Conclusão de Curso de Graduação Tecnológica em Sistemas Eletrônicos, Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina. 120 p.

RESUMO

Tendo em vista a problemática da qualidade da rede elétrica e a necessidade que alguns equipamentos têm de serem alimentados com uma energia de boa qualidade, este trabalho visa apresentar o controle digital de um condicionador de tensão. Faz-se o uso de processamento digital, pois torna possível implementação de técnicas de controle mais avançadas e a redução do número de componentes eletrônicos, entre outros. Para isso foi utilizada uma metodologia de pesquisa do quantitativa do tipo exploratória. Na organização do trabalho, primeiramente mostra-se o estudo feito sobre técnicas de medição de valor eficaz e as formas de implementação destas em processadores digitais. Em uma segunda etapa é feito o estudo de modulação de acionamento das chaves de um conversor CA-CA meia ponte, em que também são descritas suas funções de transferências e o ganho estático. Posteriormente, apresenta-se o projeto de dois tipos de controladores para o conversor, e conclui-se com os resultados dos testes, nos quais são apresentados dados como: principais formas de onda; erro percentual médio da saída com os controles em funcionamento e conteúdo harmônico (THD) na entrada e na saída do condicionador de tensão.

Palavras-Chaves: DSP, Medição True-RMS, Controle Digital, Conversor CA-CA, Condicionador de Tensão.

ALMEIDA, Bruno Ricardo de. **Digital Controlo of an Alternate Voltage Conditioner**, 2009. Completion of Course Work for Graduate Technology in Electronic Systems, Federal Institute of Education, Science and Technology of Santa Catarina. 120 p.

ABSTRACT

When considering the quality issues regarding the energy network and the need from equipments to be fed with a stable good quality energy, this project presents the digital control on a line conditioner. It was used a digital processing once it enables the implementation of more advanced control techniques and the reduction of electronics components among many others benefits. Therefore, it was used a quantitative research methodology of exploratory type. On the research organization, firstly was shown the study done about measurement techniques of efficient value and ways to implement them on digital processors. On the second phase, was done a modeling research the start up keys of a half-bridge AC-AC converter, where are also described the transference functions and static gains. After all, it was shown a project of two types of converter's controllers and then concluding with the all texts results and information as; main waves formats; exit average percentage error with the working controls and harmonic content (THD) in input and output of the line conditioner.

Palavras-Chaves: DSP, True-RMS Measurement, Digital Control, AC-AC converters, line conditioner.

LISTA DE ILUSTRAÇÕES

FIGURA 01 – Gerador Síncrono Elementar.....	18
FIGURA 02 – Variação da f.m.e Induzida com o Tempo.....	19
FIGURA 03 – Estabilizador por Mudança de Relação de Transformação.....	21
FIGURA 04 – Conversor CA-CA Meia Ponte.....	23
FIGURA 05 – Kit de Desenvolvimento eZdspTMLF2407.....	24
FIGURA 06 – Ambiente de Programação <i>Code Composer</i>	25
FIGURA 07 – Sinais de Teste.....	27
FIGURA 08 – Tensão da Rede (contínua e amostrada).....	27
FIGURA 09 – Gráfico da tensão da rede c/ harmônicos.....	29
FIGURA 10 - Circuito retificador de precisão de onda completa.....	32
FIGURA 11 – Circuito Inversor.....	32
FIGURA 12 – Circuito de Sincronismo.....	33
FIGURA 13 – Layout PCB vEficaz – (a) Botton (b) Top Silk.....	34
FIGURA 14 – Hardware vEficaz (Versão 02).....	35
FIGURA 15 – Variações no ganho do retificador de precisão.....	35
FIGURA 16 – Entrada x Retificador de Precisão.....	36
FIGURA 17 – Entrada x Sinal de Sincronismo.....	36
FIGURA 18 – Fluxograma de cálculo do Valor Eficaz.....	37
FIGURA 19 - Conversor CC-CA.....	42
FIGURA 20 – V_i x V_o e Razão Cíclica (CC-CA).....	43
FIGURA 21 – Conversor CA-CA Direto.....	44
FIGURA 22 – V_i x V_o e Razão Cíclica (CA-CA).....	45
FIGURA 23 – Conversor Buck CA/CA.....	45
FIGURA 24 – Etapas de Funcionamento do Conversor Buck CA/CA.....	46
FIGURA 25 – Fluxograma do Acionamento das Chaves.....	47
FIGURA 26 – Sinais PWMs.....	47
FIGURA 27 – Tempo Morto.....	48
FIGURA 28 – Conversor CA/CA Meia Ponte.....	49
FIGURA 29 – Conv. CA/CA meia ponte com as não idealidades do transf... ..	49
FIGURA 30 – Modelo de pequenos sinais do Conv. CA/CA meia ponte.....	50
FIGURA 31 – Diagrama de Bode $G(s)$ (Completa e Simplificada).....	52

FIGURA 32 – Controle Pré-Alimentado (Diagrama em Blocos).....	53
FIGURA 33 – Controle Realimentado (Diagrama em Blocos).....	54
FIGURA 34 – Diagrama de Ganho do Compensador.....	56
FIGURA 35 – Diagrama de Bode do Sistema Controlado.....	57
FIGURA 36 – Lugar das Raízes do Sistema Controlado.....	58
FIGURA 37 – Atuação do Controle ($G_s \times FTMF$).....	59
FIGURA 38 – Circuito Completo PSIM.....	60
FIGURA 39 – Simulação do Controlador (Abaixador de Tensão).....	61
FIGURA 40 – Simulação do Controlador (Elevador de Tensão).....	61
FIGURA 41 – Diagrama em Blocos do Protótipo Final.....	62
FIGURA 42 – Buffer de Tensão com On/Off PWM.....	64
FIGURA 43 – Layout da PCI <i>Hardware de Sinais</i> – (a) Botton (b) Top Silk..	65
FIGURA 44 – Hardware de Sinais.....	65
FIGURA 45 – Sinal de Sincronismo (Hardware de Sinais).....	66
FIGURA 46 – Sensores de Tensão (Hardware de Sinais).....	66
FIGURA 47 – Driver Duplo DR2cf (Microsol).....	67
FIGURA 48 – Comportamento dos PWMs.....	70
FIGURA 49 – Fluxograma Geral.....	71
FIGURA 50 – Fluxograma Programação Controle Pré-alimentado.....	72
FIGURA 51 – Testes no Conde Composer (Controle Pré-alimentado).....	73
FIGURA 52 - Fluxograma Programação Controle Realimentado.....	75
FIGURA 53 – Testes no Conde Composer (Controle Realimentado).....	76
FIGURA 54 – Equação a Diferenças (Programação .asm).....	77
FIGURA 55 – Esquemático do Banco de Cargas.....	78
FIGURA 56 – Banco de Cargas (1000 watts).....	79
FIGURA 57 – Protótipo Final.....	79
FIGURA 58 – Estabilizador Comercial.....	82
FIGURA 59 – Teste Malha Aberta (Elevador).....	83
FIGURA 60 – Teste Malha Aberta (Abaixador).....	84
FIGURA 61 – Teste Controle Pré-alimentado (Abaixador).....	85
FIGURA 62 – Teste Controle Pré-alimentado (Elevador).....	86
FIGURA 63 – THD do Controlador Pré-alimentado.....	86
FIGURA 64 – Teste Controle Realimentado (Elevador).....	88
FIGURA 65 – Teste Controle Realimentado (Abaixador).....	88

FIGURA 66 – THD Controle Realimentado (198 V).....	89
FIGURA 67 – THD Controle Realimentado (220 V).....	89
FIGURA 68 – THD Controle Realimentado (236 V).....	89
FIGURA 69 – Atuação do Controle Realimentado ($V_i \times V_o \times I_o$).....	90
FIGURA 70 – THD do Estabilizador Comercial.....	91
FIGURA 71 – Estabilizador Comercial com V_i máximo.....	92
FIGURA 72 – Estabilizador Comercial com V_i mínimo.....	92

LISTRA DE TABELAS

TABELA 01 – Valor Eficaz Calculado (Sinais de Teste).....	26
TABELA 02 – Valor Eficaz.....	28
TABELA 03 – Valor Eficaz Vin c/ Harmonicas.....	29
TABELA 04 – Cálculo do Valor Eficaz (Linguagem C).....	38
TABELA 05 – Método de Newton e Raphson x sqrt().....	39
TABELA 06 – Cálculo Valor Eficaz (Assembly).....	40
TABELA 07 – Linguagem C x Assembly (Tempo de Cálculo).....	41
TABELA 08 – Resultados: Malha Aberta.....	83
TABELA 09 – Resultados: Controle Pré-alimentado.....	85
TABELA 10 – Resultados: Controle Realimentado.....	87
TABELA 11 – Resultados: Controle Realimentado.....	91

LISTA DE ABREVIações E SIGLAS

CA – Corrente Alternada

CC – Corrent Continua

PWM – Modulação por largura de pulso

DSP – Processador digital de Sinais

A/D – Analógico/Digital

THD – *Total Harmonic Distortion*

f.e.m. – Força Eletro Motriz

FIGURA – Figura

Hz – Hertz

TCC – Trabalho de Conclusão de Curso

ABINEE – Associação Brasileira da Indústria Elétrica e Eletrônica

NBR – Normas Brasileiras Regulamentadas

ABNT – Associação Brasileira de Normas Técnicas

RAM – *Random Access Memory*

T.I. – Texas Instruments

RMS – *Root Mean Square*

AMPOP – Amplificador Operacional

Vi – Tensão de Entrada

Vo – Tensão de Saída

UPS – *Uninterruptible Power Supply*

FTMF – Função de Transferência de Malha Fechada

FTMA – Função de Transferência de Malha Aberta

IGBT – *Insulated Gate Bipolar Transistor*

SUMÁRIO

RESUMO.....	VI
ABSTRACT.....	VII
LISTA DE FIGURAS.....	VIII
LISTA DE TABELAS.....	XI
LISTA DE ABREVIACÕES	XII
1 INTRODUÇÃO.....	15
1.1 Justificativa.....	15
1.2 Definição Do Problema.....	16
2 OBJETIVOS.....	17
2.1 Objetivo Geral.....	17
2.2 Objetivos Específicos.....	17
3 ESTABILIZADORES DE TENSÃO.....	18
3.1 Corrente Alternada.....	18
3.2 Funcionamento.....	20
3.3 NBR 14373.....	21
3.4 Conversor CA-CA.....	22
3.5 TMS320LF2407A.....	24
4 MEDIÇÃO.....	26
4.1 Valor Eficaz.....	26
4.2 Ruído na Rede Elétrica (Harmônicas).....	28
4.3 Otimização dos Cálculos.....	30
4.4 <i>Hardware</i> de Medição.....	31
4.4.1 Retificador de Precisão.....	31
4.4.2 Circuito de Sincronismo.....	32
4.4.3 Projeto da PCB vEficaz.....	34
4.4.3.1 Testes da PCB vEficaz.....	35
4.5 Algoritmo de Medição.....	37
4.5.1 Valor Eficaz – Linguagem C.....	38
4.5.2 Valor Eficaz – Linguagem <i>Assembly</i>	40
5 MODULAÇÃO PWM.....	42
5.1 Razão Cíclica.....	42
5.1.1 Conversores CC-CA.....	42
5.1.2 Conversores CA-CA	44

5.2 Estratégia de Acionamento.....	45
5.3 Geração dos Pulsos.....	46
6 CONTROLE.....	49
6.1 Modelagem do Conversor.....	49
6.2 Controle Pré-alimentado.....	52
6.3 Controle Realimentado.....	53
6.3.1 Projeto do Controlador (Topologia de 2 pólos).....	54
7 PROTÓTIPO FINAL.....	62
7.1 Hardware de Sinais.....	63
7.1.1 Buffer de Tensão.....	63
7.1.2 Teste do <i>Hardware</i> de Sinais.....	66
7.1.3 DR2cf.....	67
7.2 Programação do DSP.....	68
7.2.1 Configurações.....	68
7.2.2 Implementação do Controle Pré-Alimentado.....	71
7.2.3 Implementação do Controle Realimentado.....	74
7.3 Carga Resistiva.....	78
7.4 Potência, Hardware de Sinais e Carga.....	79
8 METODOLOGIA.....	80
8.1 Metodologia da Pesquisa.....	80
8.2 Metodologia do Trabalho.....	81
9 RESULTADOS EXPERIMENTAIS.....	82
9.1 Malha Aberta.....	83
9.2 Controle Pré-alimentado.....	85
9.3 Controle Realimentado.....	87
9.4 Estabilizador Comercial.....	91
10 CONSIDERAÇÕES FINAIS.....	93
REFERÊNCIAS.....	95
APÊNDICE A – Cálculo do Valor Eficaz (Linguagem C).....	100
APÊNDICE B – Cálculo do Valor Eficaz (Assembly).....	102
APÊNDICE C – MATLAB: Projeto do controle realimentado.....	104
APÊNDICE D – Esquemático Completo do Hardware de Aquisição.....	107
APÊNDICE E – Conexões do Protótipo.....	108
APÊNDICE F – MATLAB: Geração da tabela do seno.....	109
APÊNDICE G – Código dos Programas de Controle.....	110

1 INTRODUÇÃO

A qualidade da energia elétrica é, atualmente, um tema de destaque tanto no meio acadêmico quanto no setor industrial. Em especial, a qualidade das grandezas tensão e corrente é objeto de estudo no meio da Eletrônica de Potência (EP) (MOHAN, 1995; BARBI, 2000, PERTY, 2001; BARBI, 2005; PETRY, 2006).

Entre os problemas causados por energia de má qualidade, no tocante à distorção de tensão/corrente, tem-se: interrupção e falhas no funcionamento, ruído audível, irritação visual, erros na transmissão de dados, aquecimento de transformadores, geradores e linhas de transmissão, ressonância elétrica em sistemas de distribuição, oscilações mecânicas em geradores e motores, etc.

Cargas críticas como, por exemplo, centros hospitalares e comerciais, sistemas de transmissão de dados/imagens, entre outros, exigem equipamentos que as isolem dos problemas de má qualidade da energia da rede de distribuição.

Os estabilizadores de tensão, pertencentes à família dos conversores CA-CA, se enquadram neste contexto visando entregar à carga uma tensão regulada no valor desejado, isso em virtude da tensão disponibilizada pela rede comercial apresentar variações na sua amplitude (ABNT, NBR 14373, 2006). No Brasil, ainda se utiliza tecnologia à base de tiristores, mas o interesse em equipamentos usando semicondutores mais rápidos e modulação PWM (modulação por largura de pulsos) tem aumentado.

Desta forma, propõe-se o estudo e implementação de técnicas digitais de medição e controle aplicadas a condicionadores de tensão. Verifica-se a possibilidade de inserção destas técnicas em novos produtos, através do domínio e aperfeiçoamento das mesmas e a sua realização em um único processador digital.

1.1 JUSTIFICATIVA

Devido à má qualidade da energia elétrica disponível, faz-se necessário o uso de condicionadores de tensão, também conhecidos como estabilizadores de

tensão, para obter uma energia de qualidade. Por esse motivo este trabalho se justifica, em busca de um meio eficaz de tornar esta energia de má qualidade em uma energia de boa qualidade.

Atualmente, observa-se a tendência de implementação das funções de medição e controle de equipamento através de dispositivos digitais como microprocessadores e processadores digitais de sinais (DSPs), pois desta forma têm-se sistemas com maior precisão, maior taxa de repetibilidade, baixo ruído, maior flexibilidade, possibilidade de implementação de técnicas de controle mais elaboradas, número de componentes reduzido, menor sensibilidade aos parâmetros e grande capacidade de intercomunicação (TOMASELLI, 2001; MUSSA, 2003; BATISTA, 2006; GOMES, 2007, ORTMANN, 2008).

1.2 DEFINIÇÃO DO PROBLEMA

Quando falamos de energia elétrica, atualmente, nos deparamos com uma rede elétrica que disponibiliza para os usuários uma energia de má qualidade. Mas qual a importância de uma energia elétrica de boa qualidade?

Para responder a esta pergunta é mais interessante pensar nos problemas que uma energia de má qualidade pode causar, como, por exemplo, ruído audível, erros na transmissão de dados, oscilações mecânicas em geradores e motores entre outros.

Para solucionar estes problemas geralmente são utilizados condicionadores de tensão, também conhecidos como estabilizadores, que tem a função de tratar este sinal de má qualidade. Mas qual o desempenho dos estabilizadores encontrados no comércio? No que devem ou podem ser melhorados? Assim em busca de formas de desenvolver condicionador de qualidade utilizando processamento digital, que é a tendência do mercado, este trabalho se inicia.

2 OBJETIVOS

2.1 OBJETIVO GERAL

Este trabalho tem como objetivo estudar e implementar técnicas digitais de medição e controle para a aplicação em condicionadores de tensão, também conhecidos como estabilizadores de tensão.

2.2 OBJETIVOS ESPECÍFICOS

- Dominar as técnicas de medição e controle aplicadas a condicionadores de tensão.
- Desenvolver o controle utilizando somente processamento digital.
- Projetar um *hardware* para a aquisição de sinais para o controle.
- Validar as técnicas estudadas utilizando um conversor CA-CA.

3 ESTABILIZADORES DE TENSÃO

Para entender o funcionamento dos estabilizadores de tensão, faz-se necessário primeiramente compreender o comportamento da rede elétrica.

3.1 CORRENTE ALTERNADA

A corrente alternada, ou CA (*Alternating Current*) é uma corrente elétrica cuja magnitude e direção da corrente varia ciclicamente, ao contrário da corrente contínua, CC, cuja direção permanece constante.

Esta corrente, oferecida pelas concessionárias de energia, possui uma forma de onda senoidal pois:

- É barata para transmitir. A energia proveniente do processo de geração já é transmitida com a mesma forma.
- Possui baixas perdas comparadas com a transmissão de energia CC em longas distâncias.

Abaixo na Fig. 01 apresenta-se um gerador síncrono elementar, cujo funcionamento é bastante semelhante com o funcionamento das turbinas nas usinas hidrelétricas.

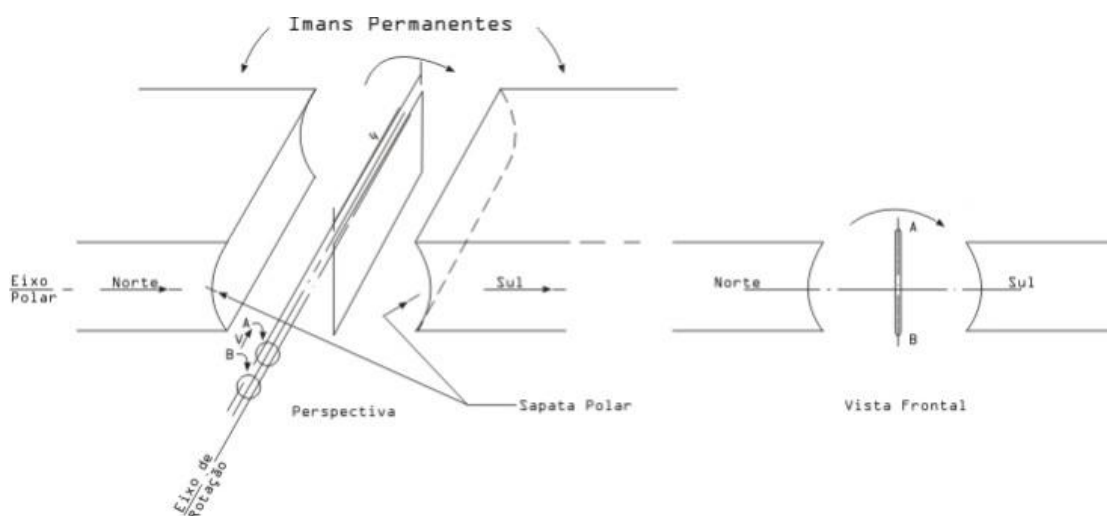


FIGURA 01 – Gerador Síncrono Elementar

FONTE: <http://bagi.sites.uol.com.br/principio.html>

Acima temos uma bobina constituída por "N" espiras e imersa em campo magnético produzido por ímãs permanentes. Acionando o eixo de rotação as espiras da bobina cortam as linhas do campo induzindo uma força eletromotriz (f.e.m.) nos condutores (L). Esse sinal induzido nos condutores possui a forma de onda senoidal como apresentado na Fig. 02.

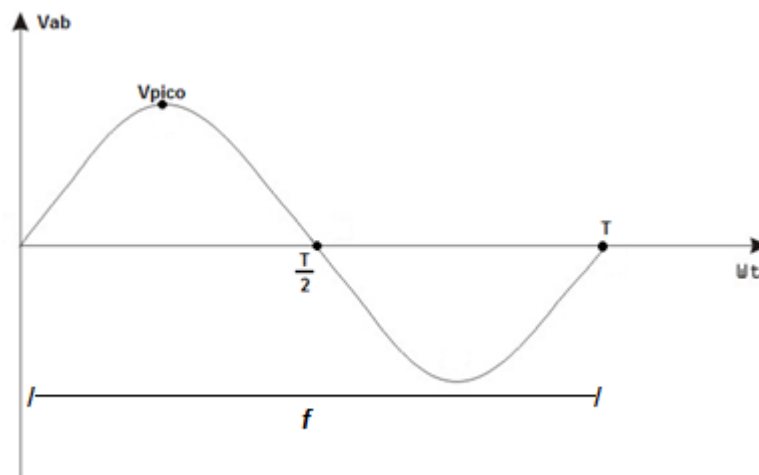


FIGURA 02 – Variação da f.m.e Induzida com o Tempo

No Brasil, a variação (frequência) da rede elétrica é de 60 Hz. Na América do Sul, além do Brasil, também usam 60 Hz o Equador e a Colômbia. Em outros países, por exemplo, a Argentina, a Bolívia, o Chile, o Paraguai e o Peru é usada a frequência de 50 Hz.

As condições ideais de fornecimento de energia elétrica seria um sinal senoidal com 60 Hertz e 220 Volts Eficaz (V_{ef}), ambos fixos, mas num país com as dimensões do Brasil, é notória a dificuldade das concessionárias de energia manterem estas condições. Entre os problemas causados por uma energia de má qualidade, destacam-se:

- Interrupção e falha no funcionamento.
- Ruído audível.
- Irritação Visual.
- Erro de transmissão de dados.
- Aquecimento de transformadores e geradores.
- Ressonância elétrica em sistemas de distribuição.
- Oscilações mecânicas em geradores e motores.

Assim cargas críticas, como por exemplo, equipamentos hospitalares, exigem dispositivos que as isolem dos problemas de má qualidade da energia da rede de distribuição. Estes equipamentos são conhecidos como estabilizadores, ou condicionadores, de tensão.

3.2 FUNCIONAMENTO

Para ABINEE, Associação Brasileira da Indústria Elétrica e Eletrônica, estabilizador de tensão em linhas gerais funcionam como um funil de tensão. Eles admitem variações de tensões em sua entrada (boca maior do funil) e transformam estas grandes variações em tensões apropriadas à alimentação de equipamentos eletrônicos (boca menor do funil). Ou seja, mesmo variando a tensão fornecida pelas concessionárias de energia, para os equipamentos é entregue uma energia limpa e fixa.

Dentre as técnicas empregadas na construção de estabilizadores destacam-se:

- Estabilizador a reator saturável (CARDOSO, 1986) que é destinado a pequenas potências.
- Estabilizador eletromecânico (CARDOSO, 1986) que tem como desvantagem um grande tempo e recuperação.
- Estabilizador com mudança de relação de transformação de transformador (MCVEY & WEBER, 1967 apud CARDOSO, 1986) que exige filtros volumosos.
- Estabilizador com transformadores em série (CARDOSO, 1986) que tem como desvantagem o controle de modo discreto da tensão de saída.
- Estabilizador do tipo ressonante (KASICK, 1983;. KOOSUKE & CHENG-IEN, 1984 apud Cardoso, 1986) que tem como desvantagens grande volume e dificuldades de controle.

Para um melhor entendimento do funcionamento de um estabilizador, abaixo na, Fig. 03, apresenta-se o esquema de um estabilizador por mudança de relação de transformação, o mais comum encontrado no mercado. Neste caso a entrada, V_i , é monitorada e de acordo com seu valor, é escolhida qual relação de transformação será entregue para a saída, V_o . O erro em regime permanente deste método é determinado de acordo com o número de enrolamentos presentes no secundário, quanto mais enrolamentos, menor o erro.

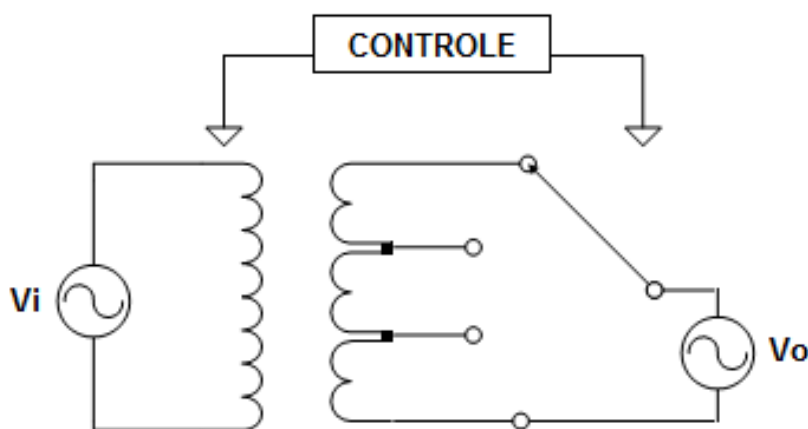


FIGURA 03 – Estabilizador por Mudança de Relação de Transformação

De acordo com a ABINEE, dentre os motivos mais importantes do uso de estabilizadores destacam-se:

- Aumento da vida útil dos aparelhos.
- Redução da queima de equipamentos.
- Estabilização da rede elétrica.
- Atenuação de ruídos, interferências e descargas atmosféricas.
- Proteção contra subtensão e sobretensão da rede elétrica.
- Atuação em casos de sobrecarga e sobreaquecimento.

3.3 NBR 14373

A NBR, Normas Brasileiras Regulamentadas, que rege os estabilizadores de tensão de até 3 KVA é a NBR 14373, foi descrita por laboratórios, organismos certificadores e fabricantes preocupados em atender às expectativas do mercado.

Em 2006, entrou em vigor a NBR 14373/2006 viabilizando o lançamento de uma “Nova Geração de Estabilizadores” com características técnicas mais avançadas. Assim, atualmente os atacadistas e os varejistas podem comercializar somente estabilizadores de tensão monofásicos da nova geração, em conformidade com a NBR 14373/2006 e em atendimento à Portaria 262 do INMETRO.

Com as novas mudanças da norma, uma série de itens que antes eram opcionais se tornaram obrigatórios, contribuindo para o melhor desempenho do produto. Entre essas características destacam-se (ABNT, 2006):

- Utilização de filtro de linha, para atenuação de ruídos provenientes da rede elétrica
- Protetor contra surtos relativos a descargas elétricas
- Proteção com desligamento automático da saída, em casos de rede elétrica imprópria, sobrecarga ou sobreaquecimento
- Protetor térmico, no caso de haver sobreaquecimento do transformador
- Sensor de potência, quando houver sobrecarga.
- Circuito True-RMS permitindo que o estabilizador funcione normalmente em redes distorcidas, provenientes de geradores, instalações sobrecarregadas de equipamentos, etc

Outro ponto importante foi a ampliação da faixa de tensão de entrada do estabilizador de 25% para 40% (para 220 V) / 45% (para 115 V, 120 V e 127 V), tornando-o mais versátil e aumentando sua aplicação em um país que tem uma rede elétrica complexa e extensa, com diversas tensões. Com um único modelo, independente da região geográfica do Brasil, é possível a correção das variações.

3.4 CONVERSOR CA-CA

Atualmente, observa-se a tendência de implementação das funções de medição e controle de equipamento através de dispositivos digitais como microprocessadores e processadores digitais de sinais (DSPs), pois desta forma

têm-se (TOMASELLI, 2001; MUSSA, 2003; BATISTA, 2006; GOMES, 2007, ORTMANN, 2008):

- Sistemas com maior precisão.
- Maior taxa de repetibilidade.
- Baixo ruído.
- Maior flexibilidade.
- Número de componentes reduzido.
- Menor sensibilidade aos parâmetros.
- Grande capacidade de intercomunicação.
- Possibilidade de implementação de técnicas de controle mais elaboradas.

Assim, tendo em vista esta tendência, fez-se o uso neste trabalho de um Conversor CA-CA Meia Ponte, onde a medição e o controle são implementadas em um DSP. Abaixo na Fig. 04 apresenta-se o conversor utilizado.

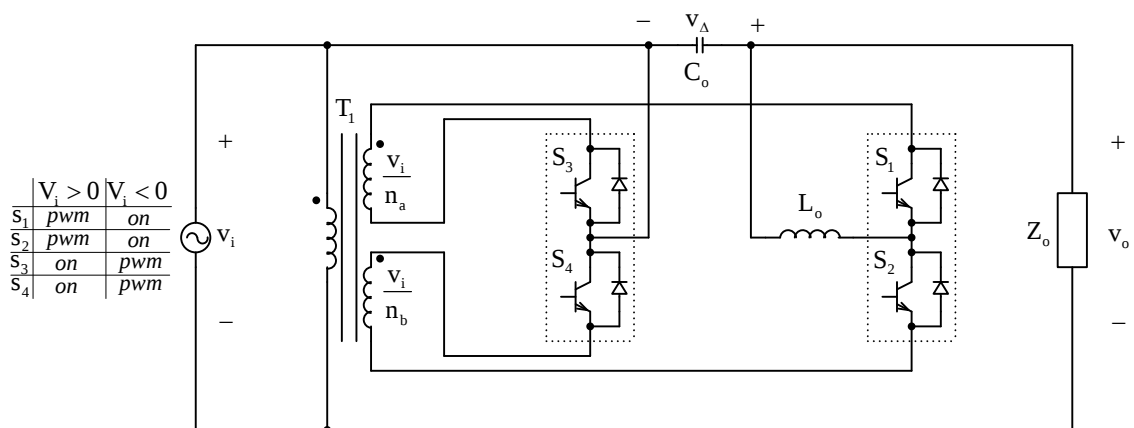


FIGURA 04 – Conversor CA-CA Meia Ponte

De acordo com a modulação PWM nas chaves S1, S2, S3 e S4, temos uma determinada tensão, V_o , entregue a carga Z_o . Posteriormente será detalhada a questão da modulação PWM.

3.5 TMS320LF2407A

O processador digital que será utilizado para o desenvolvimento do projeto é o TMS320LF2407A da Texas Instruments (SPRU509, 2000; SPRU357B, 2001) com o kit de desenvolvimento eZdspTMLF2407 da Spectrum Digital (eZdsp LF2407A, 2000), apresentado na Fig. 05.

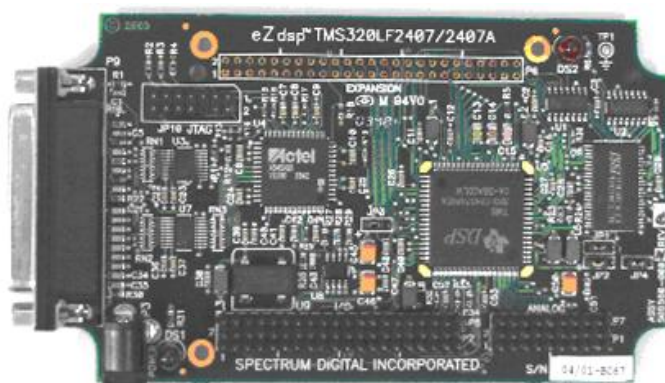


FIGURA 05 - Kit de Desenvolvimento eZdspTMLF2407.

Como principais características deste DSP e de interesse para a aplicação no controle e modulação, podem-se citar (BATISTA, 2006):

- Ciclo de instrução de 25ns.
- Desempenho de 40 MIPS.
- Até 32k de palavras de 16 bits de E2PROM Flash (4 setores).
- Até 2,5k de palavras de 16 bits de RAM de Dados/Programa. Sendo 544 palavras de RAM de duplo acesso e até 2k palavras de RAM de simples acesso.
- Dois módulos gerenciadores de eventos (EVA e EVB).
- Dois “Timers” de propósito geral de 16 bits.
- Oito canais de PWM de 16 bits.
- Interface de memória externa: 64k de programa, 64k de dados e 64k de I/O.
- Conversor analógico-digital de 10 bits, com 8 ou 16 canais de entrada multiplexados e tempo de conversão de 500ns.
- Até 40 pinos de entrada e saída programáveis individualmente;
- Até cinco interrupções externas.

O desenvolvimento dos programas foi realizado no ambiente de programação *Code Composer* fornecido pelo fabricante do kit de desenvolvimento.

Dentre as características deste programa pode-se citar a possibilidade de criação de projetos em linguagem C e assembly, a inserção de arquivos auxiliares, a compilação e linkagem dos programas, a depuração do programa e a visualização de variáveis internas do DSP, como pode ser observado na Fig. 06.

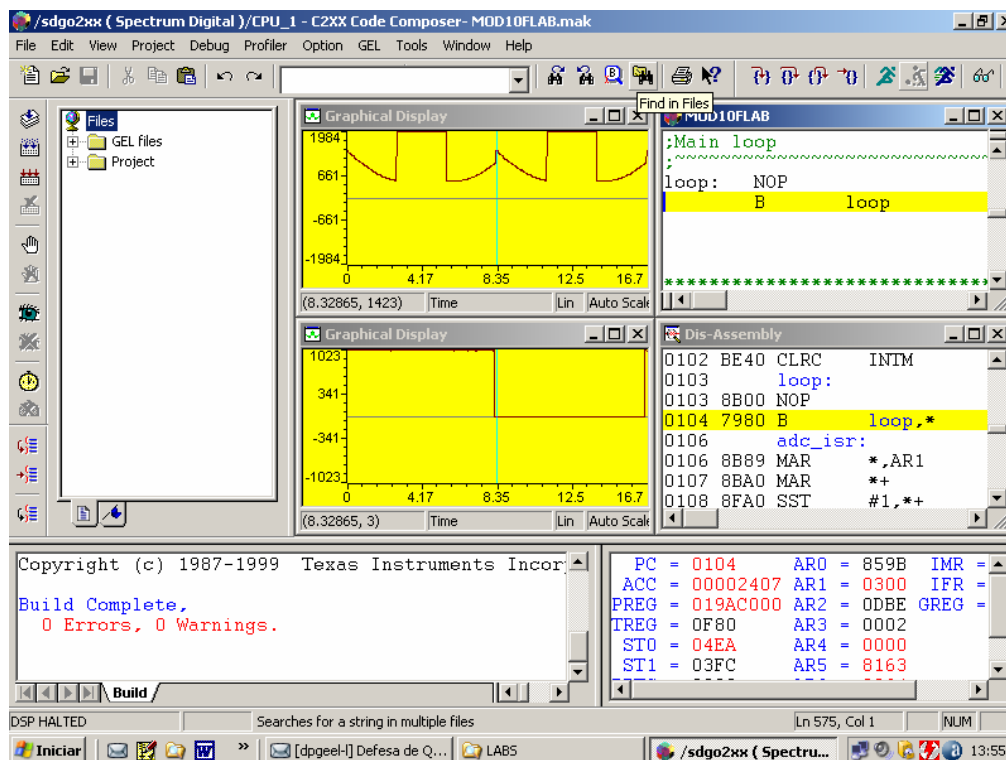


FIGURA 06 – Ambiente de Programação Code Composer

Fonte: BATISTA, 2006, p. 185

4 MEDIÇÃO

O estudo de técnicas de medição é de grande relevância, pois como citado anteriormente uma dos requisitos da nova norma é a medição utilizada no controle de estabilizadores de ser *True-RMS*. Assim focou-se nesta etapa o estudo do conceito de valor eficaz (*True-RMS*) e maneiras de calculá-lo utilizando processadores digitais.

4.1 VALOR EFICAZ

Na matemática o valor eficaz, RMS (do inglês *root mean square*), ou valor quadrático médio é uma medida estática da magnitude de uma variável. Podendo ser calculada para uma função variável contínua (1) ou para uma série de valores discretos (2).

$$X_{rms} = \sqrt{\frac{1}{N} \sum_{i=0}^N (x[i])^2} \quad (01)$$

$$X_{rms} = \sqrt{\frac{1}{T_2 - T_1} \int_{T_1}^{T_2} [f(t)]^2 dt} \quad (02)$$

Para validação das equações acima foram selecionadas quatro formas de ondas (Senoidal; Triangular; Dente de Serra; e Quadrada), todos com amplitude de 311 e frequência de 60 Hertz, e destas formas de onda foram calculadas o valores eficaz. Na Fig. 07 podemos observar estas formas de onda, e na tabela abaixo o valor eficaz de cada um dos sinais.

TABELA 01 – VALOR EFICAZ CALCULADO (SINAIS DE TESTE)

SINAL	Amplitude	Frequência	Valor Eficaz
Senóide	311	60 Hz	219.910
Triangular	311	60 Hz	179.556
Dente de Serra	311	60 Hz	179.556
Quadrada	311	60 Hz	311.000

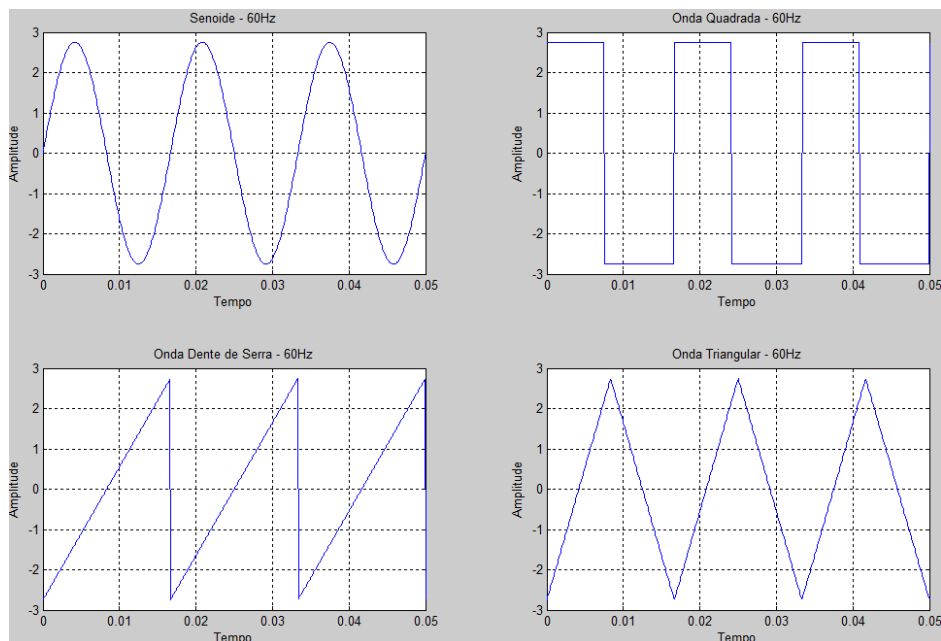


FIGURA 07 – Sinais de Teste

Utilizando o *software* MATLAB, foi construído um algoritmo para a validação da equação (2). Neste algoritmo foram testados os sinais propostos anteriormente (FIGURA 06) e como parâmetros foram utilizados: Amplitude de 311; Frequência 60 Hz; e número de amostras de 16 e 32.

Como o sinal que será medido é um sinal contínuo e os micro-controladores trabalham com amostragens, faz-se necessário coletar algumas amostras deste sinal para executar os cálculos. Na Fig. 08 encontra-se o sinal da rede na sua forma contínua e na sua forma amostrada com 16 amostras.

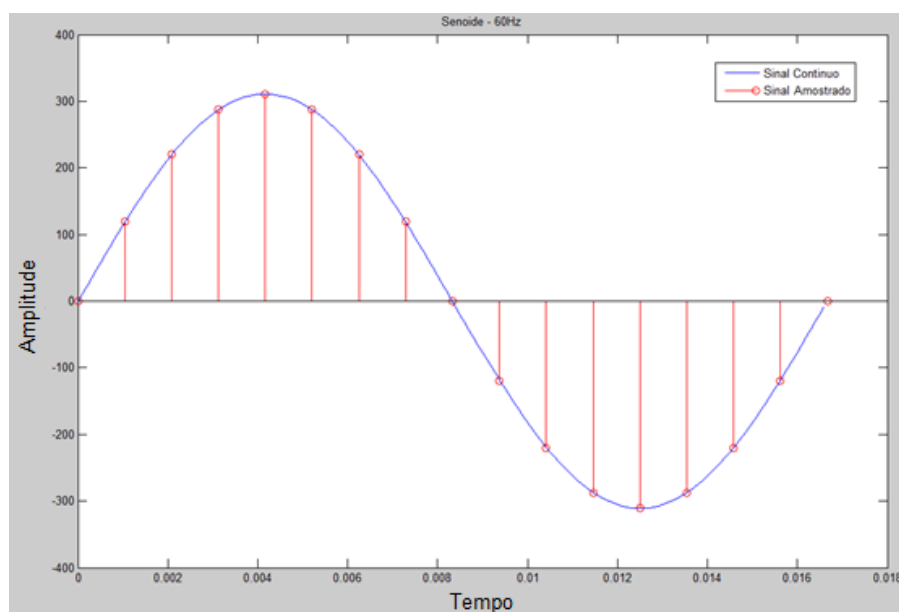


FIGURA 08 – Tensão da Rede (contínua e amostrada)

Para a escolha do número de amostras, foi feito um estudo de *Teoria de Amostragem* (OPPENHEIN, 1998). Na bibliografia notou-se que dos conceitos existentes sobre amostragem o *Teorema de Nyquist* é de importância relevante. Este diz que a frequência de amostragem de um sinal analógico, para que possa posteriormente ser reconstituído com o mínimo de perda de informação, dever ser igual ou maior a duas vezes a maior frequência do espectro deste sinal (OPPENHEIN, 1998)

Alem disso, foi considerado também o número de amostras referenciados em alguns artigos da área, e o número utilizado por fabricantes de estabilizadores. Assim, após esse estudo, foi decidido fazer os testes utilizando 16 e 32 amostras.

Abaixo, na Tabela 02, pode-se observar a comparação dos valores eficazes obtidos utilizando as diferentes técnicas de cálculo, tendo comprovada a eficiência e confiabilidade das equações (1) e (2) citadas anteriormente.

TABELA 02 – VALOR EFICAZ

SINAL	Calculado	Calculado (MathCad)	Matlab	
			16 Amostras	32 Amostras
Senoide	219.9102	219.9100	219.9102	219.9102
Quadrada	311.0000	311.0000	311.0000	311.0000
Triangular	179.5559	179.5600	182.3399	180.2560
Dente de Serra	179.5559	179.5600	180.2560	179.7312

4.2 RUIDO NA REDE (HARMÔNICAS)

A tensão da rede nem sempre apresenta uma forma senoidal pura, sua forma geralmente possui algumas deformações. Redes ruidosas podem ser observadas em prédios que fazem o uso de muitos computadores ou outros equipamentos que possuem fontes chaveadas, pois no momento do chaveamento ocorrem picos de correntes que tentem a fazer a tensão baixar.

Por esse fato, fez-se necessário verificar a resposta dos algoritmos para estes sinais ruidosos. Assim foram somados harmônicos ao sinal senoidal e

calculado seus valores eficazes, a forma do sinal obtido pode ser observado na Fig. 09 e os valores podem ser vistos na Tabela 03:

TABELA 03 – VALOR EFICAZ V_{in} c/ HARMONICAS

SINAL	THD (%)	Calculado	Matlab	
			16 Amostras	32 Amostras
Senoide	Zero	219.9102	219.9102	219.9102
Senoide - 6 Harmonicas	2, 7655	219.9943	219.9911	219.9943
Senoide - 7 Harmonicas	7, 5374	220.5340	219.1897	220.5340
Senoide - 7 Harmonicas + Ganho K	3, 4672	219.4531	219.4531	220.0424

Os casos apresentados representam situações típicas da rede elétrica e verifica-se que mesmo nos casos onde se têm as maiores distorções, os erros obtidos para o cálculo do valor eficaz são menores que 1 % para os números de amostras utilizados. Com isso, verifica-se a definição do teorema da amostragem (OPPENHEIN, 1998), sendo possível contabilizar o efeito de até a oitava harmônica para a utilização de 16 amostras por período da rede.

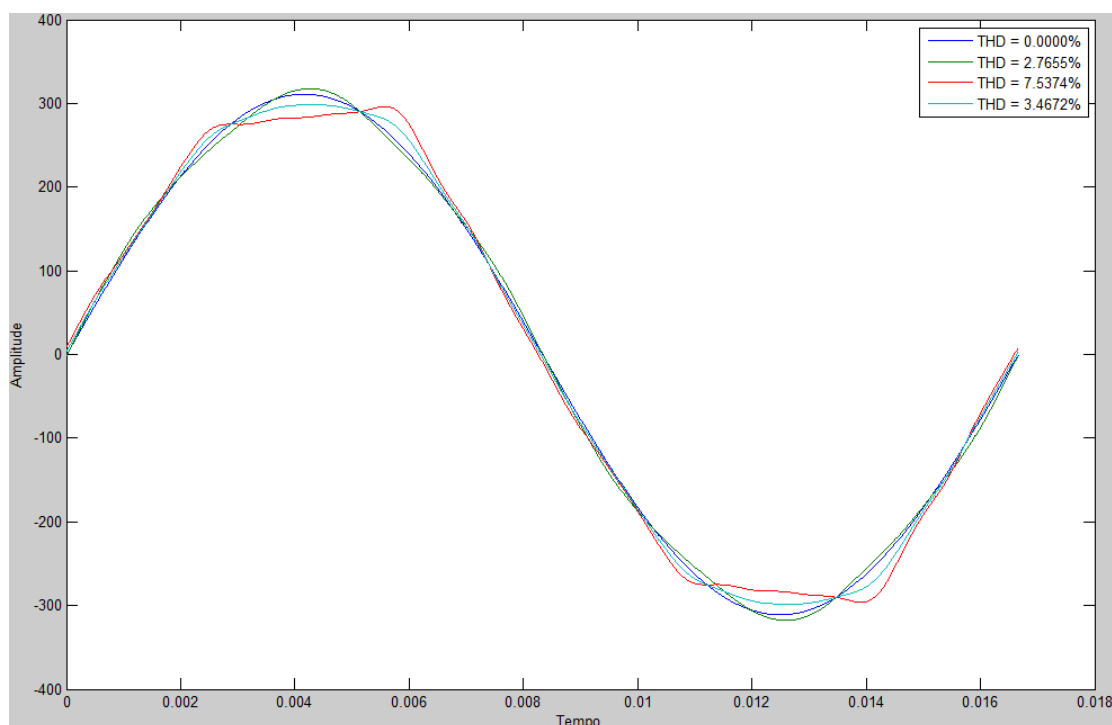


FIGURA 09 – Gráfico da tensão da rede c/ harmônicos

4.3 OTIMIZAÇÃO DOS CÁLCULOS

Como um dos objetivos do projeto é chegar a um processo bastante otimizado, faz-se necessário a comparação do uso de uma programação estruturada (como a linguagem **C**) e de uma linguagem de máquina (como o **Assembly**). Assim tomou-se a preocupação desde o início de buscar soluções matemáticas implementáveis em ambas linguagens.

Em linguagem **C** para cálculo da raiz quadrada, utiliza-se de bibliotecas prontas (como a biblioteca *math.h*), mas estas bibliotecas podem tornar o processo um pouco mais lento. Já na linguagem **Assembly**, utilizam-se códigos de máquina, e dentre eles nenhum faz o cálculo da raiz quadrada de um número qualquer.

Assim, para o cálculo do valor da raiz quadrada de A, pesquisou-se sobre *Cálculo Numérico*, mais especificamente sobre como calcular a raiz da equação **f(x) = xⁿ – A** (que é a equação da raiz quadrada, onde n = grau da raiz e A o número que se deseja saber a raiz). Assim, chegou-se ao “Método de Newton e Raphson” (BARROSO, CAMPOS, CARVALHO, MÁRCIO, MAIA 2002), que por aproximações sucessivas das derivadas de uma função f(x), se chega ao valor de sua raiz com uma margem de erro muito pequena. Logo, com o Método de Newton e Raphson, temos:

$$x_{n+1} = x_n - \frac{f(x)}{f'(x)} \quad (n = 1, 2, 3 \dots) \quad (03)$$

$$\sqrt[n]{A} \rightarrow f(x) = x^2 - A \quad (04)$$

Aplicando (3) em (4), tem-se:

$$x_{n+1} = \frac{1}{2} \left(x_n + \frac{A}{x_n} \right) \quad (05)$$

Logo, a equação (5) pode ser implementada em um micro-processador, sem o uso de bibliotecas, executando apenas um “loop”. Este *loop* pode ser feito com poucas interações, pois por ser uma equação de baixa ordem, ela converge rapidamente para sua raiz (RUGGIERO, LOPES 2005). Abaixo pode-se observar uma implementação do algoritmo no *software* MATLAB, onde foram feitos testes com diferentes números de interações, onde se observou que a partir de 6 interações o número calculado tinha até 4 casas iguais do número esperado.

```
-----  
for t=0:N  
    Resultado = (Resultado + A/Result)/2;  
end  
-----
```

Onde:

N = Número de Interações;

A = Valor o qual se deseja saber a raiz quadrada;

Resultado = Variável que irá conter a resposta;

4.4 HARDWARE DE MEDIÇÃO

Por trabalhar-se com valores de tensão de diferentes magnitudes, foi desenvolvido um *hardware* de coleta e tratamento dos sinais envolvidos no processo.

4.4.1 Retificador de Precisão

Retificadores são dispositivos que apenas permitem a passagem da corrente elétrica num sentido. Os retificadores mais usuais são constituídos apenas por diodos, mas um problema encontrado nestes é que para sinais com nível de tensão baixo tem-se um comprometimento do sinal retificado, visto que os diodos comuns não conduzem quando polarizados diretamente com uma tensão muito baixa (abaixo de 0,7 V para diodos de silício).

Além do problema de não poderem ser usados para sinais muito baixos, os retificadores comuns apresentam uma queda de tensão nos diodos retificadores de forma que o sinal de saída tenha uma tensão média e eficaz reduzida.

Uma solução para os problemas citados é o uso de retificadores de precisão que são estruturas retificadoras usando amplificadores operacionais (AMPOPs). Estas estruturas fazem com que a queda de tensão no diodo durante a retificação seja compensada. O circuito do retificador de precisão de onda completa utilizado está apresentado na Fig. 10.

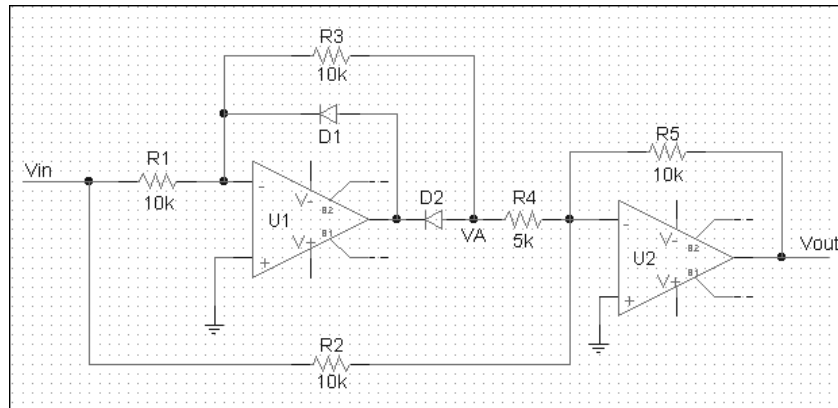


FIGURA 10 - Circuito retificador de precisão de onda completa

Na saída deste circuito foi adicionado um segundo circuito utilizando amplificadores operacionais para o ajuste fino deste sinal retificado. Utilizando um AMPOP na configuração inversor, Fig.11 podemos ajustar o valor da saída variando o valor de R2 ou R1, pois o ganho da estrutura é dado por $-R_2/R_1$.

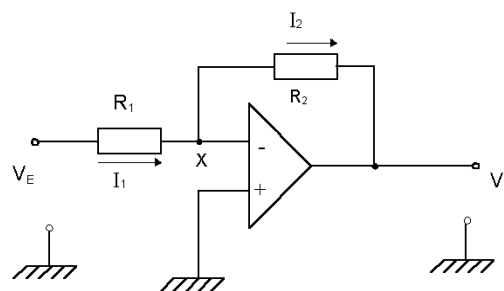


FIGURA 11 – Circuito Inversor

Como citado anteriormente o ajuste fino da saída, V_S , pode ser ajustado variando R2 ou R1. Por trabalhar com tensões positivas apenas o DSP não poderia ler este sinal, assim é necessário o uso na saída do circuito citado anteriormente de outro circuito com a mesma topologia, mas com ganho unitário ($R_1 = R_2$), assim ele teria a função de apenas inverter o sinal novamente.

4.4.2 Circuito de Sincronismo

O circuito de sincronismo, também conhecido como detector de zero, é responsável pelo sincronismo do processador com a rede elétrica. Após pesquisas sobre circuitos de sincronismo, optou-se por utilizar a topologia (PETRY, 2001) apresentada na Fig. 12, com 3 amplificadores operacionais.

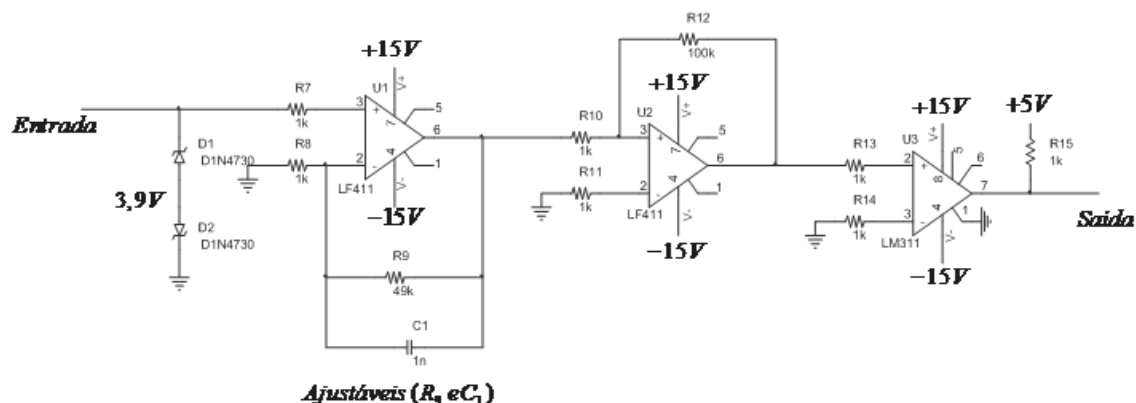


FIGURA 12 – Circuito de Sincronismo

O primeiro amplificador, formado pelo integrado LF411 (U1) é responsável por amplificar o sinal de entrada quando se opera com tensões baixas. Para limitar o sinal de entrada, quando operando em 220 V, caso em que a tensão na entrada fica com amplitude em torno de 1 V, utilizam-se diodos zeners de 3,9 V.

Ainda no primeiro amplificador, se tem um filtro passa-baixas, ajustado pelo capacitor C1. Este capacitor deve ser ajustado conforme a presença de ruídos ou não na tensão de entrada. Quanto maior o valor do capacitor maior será a defasagem introduzida.

O ganho do primeiro estágio pode ser ajustado pelo resistor R9. É importante usar o integrado LF411, pois durante as simulações percebeu-se que o LF351 introduzia um pequeno offset na tensão de saída do mesmo.

O segundo estágio é formado pelo comparador LF411 (U2), o qual realiza uma primeira comparação com zero. Como este integrado é um amplificador operacional e não comparador, a resposta do mesmo é mais lenta do que a deste último, o que ajuda a melhorar a imunidade a ruídos na passagem por zero, evitando múltiplos cruzamentos.

Por fim se tem o estágio comparador formado pelo integrado LM311 (U3). Este integrado disponibiliza na sua saída uma tensão somente positiva, em fase com a tensão de entrada. A amplitude positiva é ajustada pela tensão conectada no resistor R15, podendo ser de 15 V, desde que o circuito posterior possa operar com este nível de tensão.

4.4.3 Projeto da PCB vEficaz

Depois de estudado os circuitos que deveriam fazer parte deste hardware de aquisição de sinal, partiu-se para o desenvolvimento da PCB (Placa de Circuito Impresso), denominada “PCB vEficaz”, pois seria utilizada para o cálculo do valor eficaz. Esta seria composta por três blocos:

- Fonte de Alimentação: 12V, -12V, 5V e 3.3V;
- Retificador de Precisão;
- Detector de Zeros;

Primeiramente foi simulado o circuito completo no *software* ORCAD para verificação dos sinais e comportamento do circuito. Alguns ajustes de resistores e capacitores foram feitos para uma melhor resposta do circuito.

Com esta etapa concluída, partiu-se para o desenvolvimento do *layout* da PCB. Como ferramenta principal, foi utilizado o *software* PROTEUS, mas como o equipamento responsável pela produção da PCB trabalha com arquivos cujo formato é DXF, foi necessário exportar o arquivo gerado pelo PROTEUS para o *software* DIPTRACE e neste exportar o arquivo DXF.

Abaixo se pode observar o *layout* da PCB vEficaz (Fig. 13). E o Hardware vEficaz (Fig. 14).

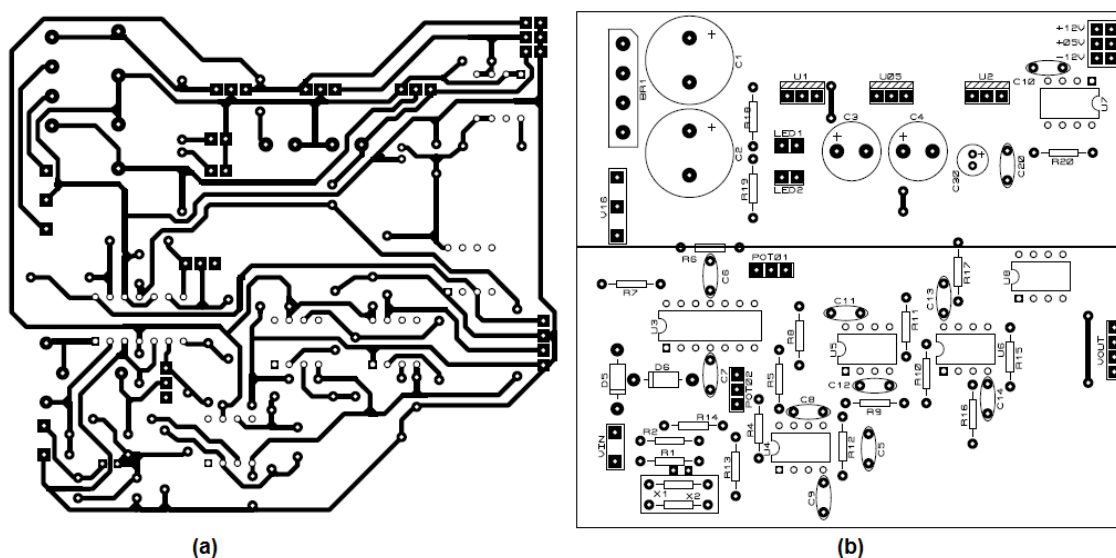


FIGURA 13 – Layout PCB vEficaz – (a) Bottom (b) Top Silk

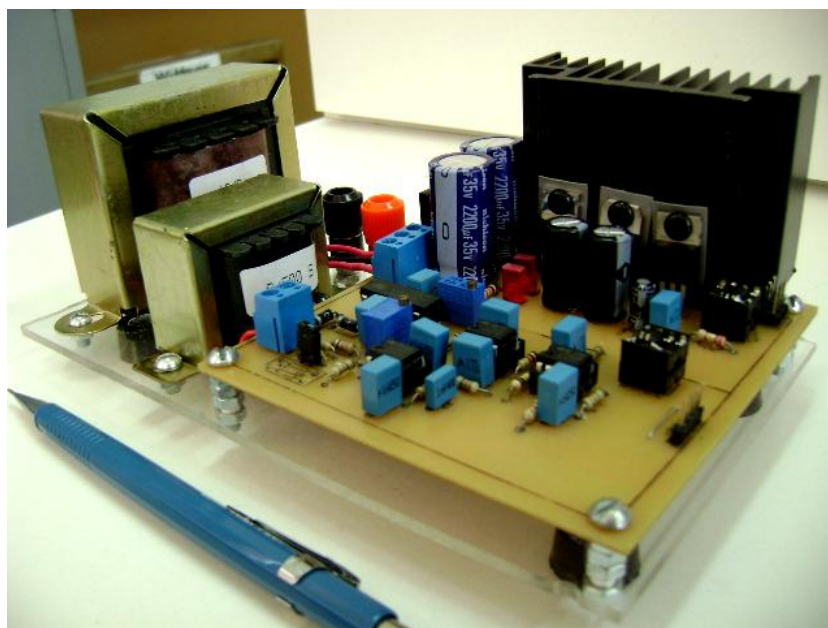


FIGURA 14 – Hardware vEficaz

4.4.3.1 Testes da PCB vEficaz

Por serem utilizados componentes não ideais alguns pequenos ajustes são necessários para o bom funcionamento da estrutura, com relação ao circuito de retificação. No primeiro estágio do circuito é utilizado um potenciômetro para ajustar o ganho desbalanceado. Este ajuste pode ser observado na Fig. 15.

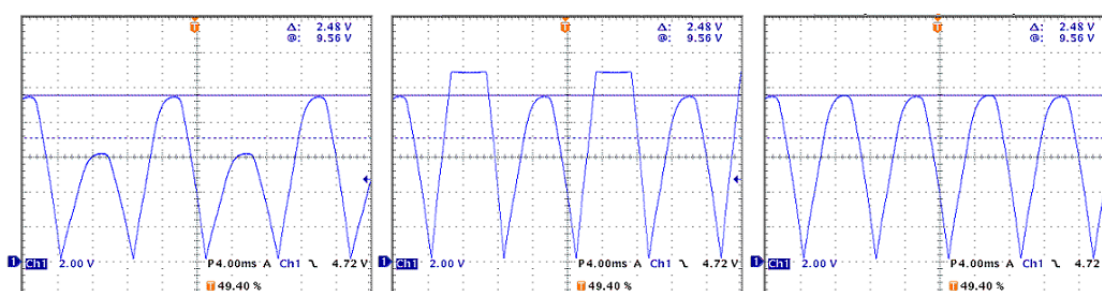


FIGURA 15 – Variações no ganho do retificador de precisão

A saída do **circuito retificador de precisão** é ajustada para um valor que possa ser aproveitado pelo máximo à leitura AD. Como a entrada AD suporta tensões de até 3,3 Volts e a tensão máxima de entrada num estabilizador (pela norma brasileira) é de 20% a mais para 220 Volts, então foi ajustado o ganho da estrutura para quando tivesse a tensão máxima da entrada (264 Volts) a tensão de

saída do circuito de retificador fosse de 3,3 Volts. Assim na Fig. 16 pode-se observar a tensão de entrada (Ch2) e a tensão de saída do retificador (Ch1).

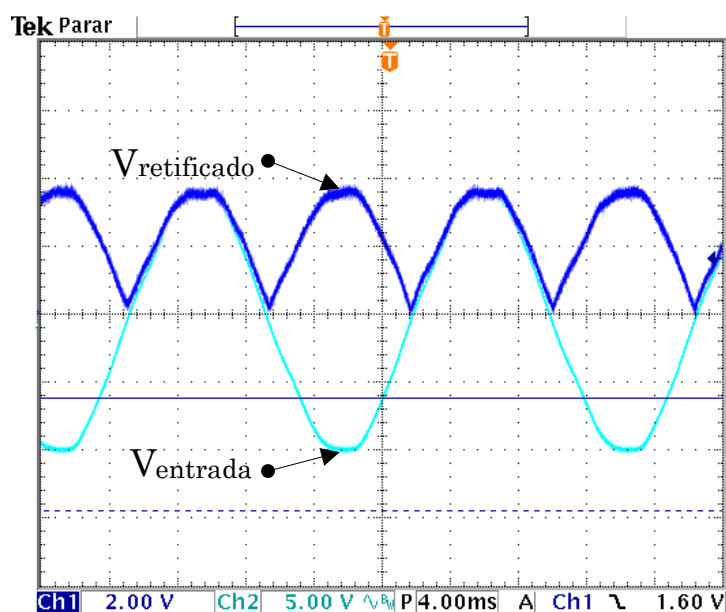


FIGURA 16 – Entrada x Retificador de Precisão

O **circuito de sincronismo** é de alta importância para este projeto, pois os acionamentos das chaves é dado em função de qual semi-ciclo a rede se encontra. Na PCB este circuito funcionou como o esperado, podendo ser observado na Fig. 17, em azul o sinal de entrada e em verde o sinal de sincronismo.

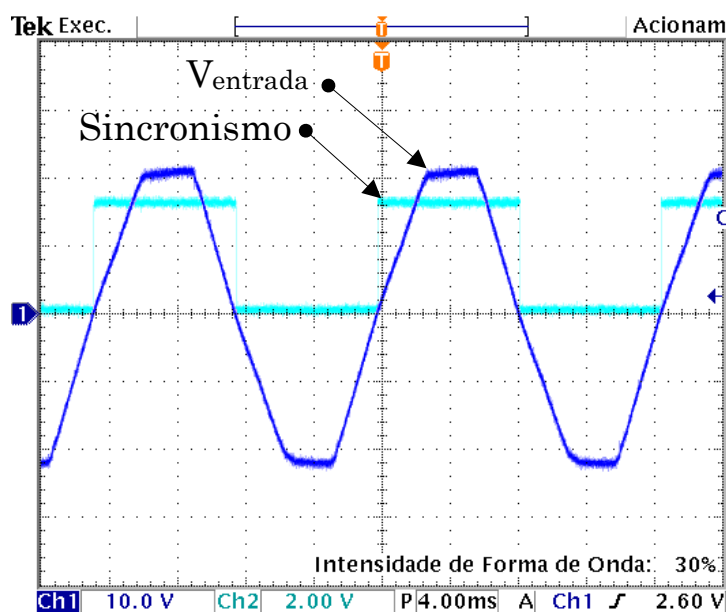


FIGURA 17 – Entrada x Sinal de Sincronismo

4.5 ALGORITMO DE MEDIÇÃO

Tendo o hardware de aquisição e tratamento dos sinais, foi possível a implementação do algoritmo no DSP. Para o teste foi desenvolvido um código em **linguagem C** e outro em **assembly**, para assim poderem ser comparados no quesito velocidade, tempo de processamento, erro entre outros. Como plataforma de desenvolvimento foi utilizado o *Code Composer*.

Abaixo na Fig. 18 apresenta-se o fluxograma utilizado para fazer o cálculo do valor eficaz, tanto em **C** quanto em **assembly**.

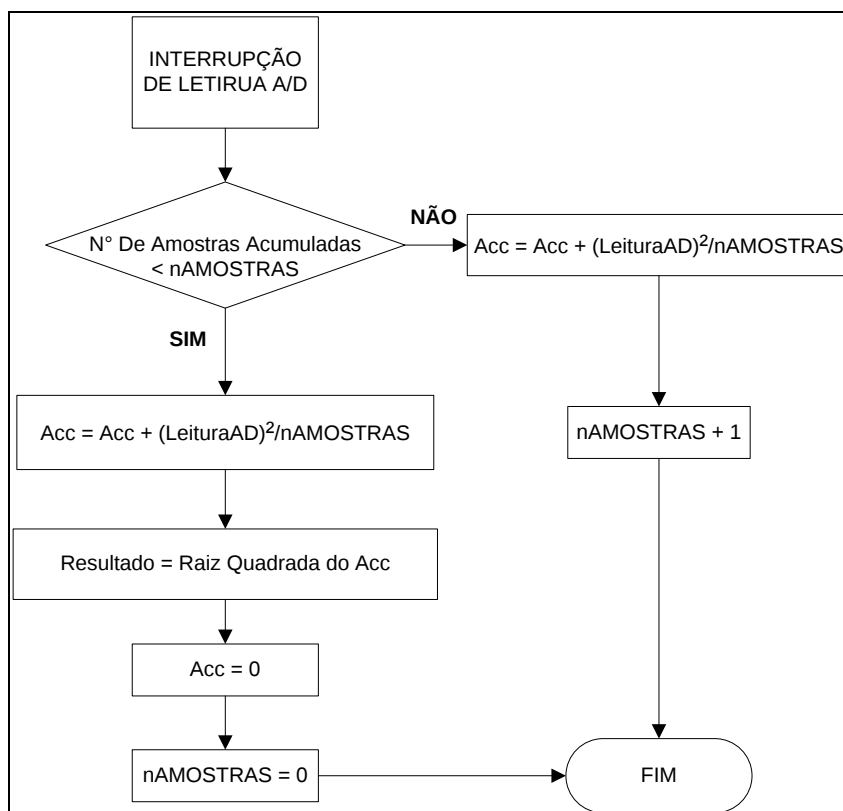


FIGURA 18 – Fluxograma de cálculo do Valor Eficaz

Para os testes dos algoritmos foram adotados determinados procedimentos, para assim poder comparar os resultados obtidos:

- 1) Variar tensão de entrada de 5 Volts.
- 2) Adquirir 7 amostras para cada tensão.
- 3) Calcular a média das amostras.
- 4) Calcular o erro percentual relativo.
- 5) Calcular a média do erro percentual relativo

4.5.1 Valor Eficaz – Linguagem C

Abaixo na Tabela 04, temos os resultados obtidos em linguagem C para 16 e 32 amostras.

TABELA 04 – Cálculo do Valor Eficaz (Linguagem C)

Valor eficaz de referência [V]	Cálculo c/ 16 Amostras		Cálculo c/ 32 Amostras	
	Valor Eficaz [V]	Erro [%]	Valor Eficaz [V]	Erro [%]
238	237,7357	0,11105	238,2127	0,08937
235	235,8643	0,36779	235,7815	0,33255
230	230,6016	0,26157	230,4158	0,18078
225	225,323	0,14356	225,5986	0,26604
220	220,8025	0,36477	220,3802	0,17282
215	215,4159	0,19344	215,6447	0,29986
210	210,0425	0,02024	210,4506	0,21457
205	205,6036	0,29444	205,4815	0,23488
200	200,8593	0,42965	200,3165	0,15825
195	195,3982	0,20421	195,3812	0,19549
190	190,6728	0,35411	190,3883	0,20437
185	185,4613	0,24935	185,3683	0,19908
180	180,5166	0,28700	180,0927	0,05150
175	175,138	0,07886	175,4487	0,25640
	Erro médio (%)	0,25546	Erro médio (%)	0,20172

Um erro de até 0,5% é considerado pequeno e normal, dispensando preocupações.

Como podem ser observados os dois algoritmos se mostraram bastante eficazes tendo um erro abaixo do tolerado. Utilizando no algoritmo de cálculo 32 amostras o erro médio foi 0,05% abaixo em relação ao cálculo utilizando 16 amostras. A tabela completa pode ser vista no APÊNDICE A.

Anteriormente foi citado o uso de um algoritmo que não utilizasse bibliotecas prontas como (math.h) para o cálculo da raiz quadrada. Assim nesta etapa foi testado também o cálculo do valor eficaz usando este método no lugar da raiz quadrada. Abaixo segue o exemplo deste método (“Método de Newton e Raphson”) implementado em linguagem C:

```
//-----
float fValor = 0;
float fValorRaiz = 1.95;          (Valor eficaz de 2.75 Volts – 220 Volts na Entrada)
float fValorEficaz = 1.95;        (Valor eficaz de 2.75 Volts – 220 Volts na Entrada)
unsigned char ucControleLoop;

for (ucControleLoop=6;ucControleLoop>0;ucControleLoop--)
    fValorRaiz = (fValorRaiz + fValor/fValorRaiz)*0.5;
//-----
```

Onde:

ucControleLoop – Variável de controle de laços do LOOP.

fValor – Número que se deseja saber a raiz.

fValor Raiz – Variável que ira conter a resposta.

O valor de inicialização de “fValor Raiz” foi escolhido um número próximo do valor esperado, pois assim a equação converge mais rapidamente para o valor.

Teste no MATLAB mostram que a partir de 6 interações o resultado se aproximava bastante da valor desejado, na ordem de 4 casas decimais. Na prática foi comprovado o mesmo, na Tabela 05 pode-se observar os valores obtidos utilizando a função **sqrt()** da biblioteca **math.h** e os valores obtidos com o Método de Newton e Raphson, junto na tabela encontra-se o tempo gasto em cada um dos métodos.

TABELA 05 – Método de Newton e Raphson x sqrt ()

Interações	Tensão		Tempo			
	Método	sqrt ()	Método		sqrt ()	
	[V]	[V]	Ciclo Maquina	[s]	Ciclo Maquina	[s]
1	236,1905	236,1895	251	6,275E-06	4541	1,135E-04
2	217,2232	217,2225	493	1,233E-05	4541	1,135E-04
3	177,207	177,207	735	1,838E-05	4541	1,135E-04
4	196,4487	196,4486	977	2,443E-05	4541	1,135E-04
5	219,9755	219,9731	1219	3,048E-05	4541	1,135E-04
6	191,2766	191,2766	1461	3,653E-05	4541	1,135E-04
7	203,7432	203,7432	1703	4,258E-05	4541	1,135E-04
8	192,0255	192,0255	1945	4,863E-05	4541	1,135E-04
9	175,366	175,366	2187	5,468E-05	4541	1,135E-04
10	228,252	228,252	2429	6,073E-05	4541	1,135E-04

Como pode ser observado na Tabela 05, utilizando o Método de Newton e Raphson, a partir de 6 interações, o valor eficaz calculado se coincide em até 4 casas decimais como o valor calculado pela função **sqrt()**. Já com relação aos tempos de cálculo utilizando o método esperava-se uma resposta mais rápida de cálculo. Como visto na tabela acima, os tempos de cálculos foram um tanto próximos quando comparado o método e a função **sqrt()**. Esta eficiência da função **sqrt()** se deve por a biblioteca **math.h** já ser bastante otimizada.

Para implementação cálculo em *assembly* só pode ser utilizado o método, pois dentro do conjunto de instruções assembler do DSP não há nenhum que faça a raiz quadrada.

4.5.2 Valor Eficaz – Linguagem Assembly

Como dito anteriormente em *assembly* não há funções prontas, podendo trabalhar apenas com os códigos assembler descritos pelo fabricante. Assim o algoritmo de cálculo da raiz quadrada proposto anteriormente é de essencial importância, pois trabalha com operações implementáveis. Abaixo na Tabela 06 apresenta-se os valores obtidos utilizando 16 e 32 amostras.

TABELA 06 – Cálculo Valor Eficaz (Assembly)

Valor eficaz de referência [V]	Cálculo c/ 16 Amostras		Cálculo c/ 32 Amostras	
	Valor Eficaz [V]	Erro [%]	Valor Eficaz [V]	Erro [%]
238	239,2928069	0,54320	238,0622753	0,02617
235	235,7721194	0,32856	235,8290885	0,35280
230	230,7132676	0,31012	230,8499933	0,36956
225	226,2468939	0,55418	225,8595044	0,38200
220	220,5044134	0,22928	220,709502	0,32250
215	215,6506502	0,30263	215,1379287	0,06415
210	210,6031922	0,28723	210,6373736	0,30351
205	205,7038537	0,34334	205,7266413	0,35446
200	201,5451129	0,77256	200,815909	0,40795
195	195,3696676	0,18957	195,164579	0,08440
190	190,8463249	0,44543	190,5045106	0,26553
185	185,8216545	0,44414	185,5709906	0,30864
180	180,7628026	0,42378	180,2842626	0,15792
175	175,6128003	0,35017	175,2254108	0,12881
	Erro médio (%)	0,34676	Erro médio (%)	0,30608

Como pode ser visto na tabela acima, o erro médio manteve-se abaixo de 0,5 % e a diferença entre os cálculos utilizando 32 e 16 amostras se manteve abaixo de 0,05%. A planilha completa encontra-se no APÊNDICE B.

O programa em C mostra-se bastante mais eficiente na questão erro médio devido ele trabalhar com variáveis do tipo float (de 32 bits) já em *assembly* as variáveis são de 16 bits, levando a uma menor precisão. Em *assembly* poderiam ser usado variáveis de 32 bits, mas devido a complexibilidade da implementação do algoritmo e os resultados obtidos com 16 bits serem satisfatórios foi descartada esta possibilidade.

Apesar da linguagem *assembly* perder um pouco no quesito exatidão para linguagem C (0,05 %), em questão de tempo de processamento o *assembly* se mostrou muito mais eficiente. Na Tabela 07 encontram-se comparações de tempo de cálculo entre as linguagens propostas.

TABELA 07 – Linguagem C x Assembly (Tempo de Cálculo)

	Cálculo c/ 16 Amostras		Cálculo c/ 32 Amostras	
	C	Assembly	C	Assembly
Erro médio [%]	0,255458	0,346755	0,201725	0,308640
Tempo ACC [s]	21,0μ	1,70μ	21,0μ	1,70μ
Tempo total [s]	483μ	35,2μ	879μ	64,8μ

Assim, observa-se que o erro médio entre as linguagens foi de 0.05%, mas quando visto o tempo de ACC (Acumulação) e o tempo total (Cálculo), tem-se a linguagem *assembly* muito mais veloz que a linguagem C e isto é de extrema importância, pois deseja-se trabalhar com um controle em tempo real.

As configurações do DSP, com relação aos seus registradores (interrupções, pinos, PWMs, entre outros), além de seu funcionamento serão detalhadas posteriormente.

5 MODULAÇÃO PWM

Este capítulo aborda a modulação PWM empregada no estabilizador em estudo.

5.1 RAZÃO CÍCLICA

Para melhor entendimento será visto o princípio básico da modulação dos seguintes inversores:

- CC/CA – Operando com tensão contínua na entrada (ex. UPS)
- CA/CA – Inversores com tensão alternada na entrada (conversores diretos).

5.1.1 CONVERSORES CC-CA

Nestes conversores, a tensão de entrada é contínua, provinda de um retificador com barramento CC ou de um conversor pré-regulador de fator de potência (PFC) que também disponibilizam na saída um barramento CC.

Na Fig. 19 mostra-se um diagrama de blocos de um conversor CC-CA. Pode-se notar na mesma o filtro de saída, formado por L_o e C_o o qual tem a função de filtrar as altas frequências da tensão V_{ab} do inversor, para disponibilizar na saída uma tensão senoidal de 60Hz.

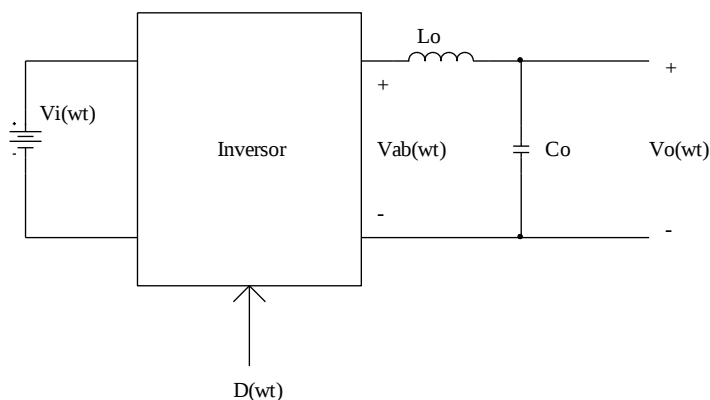


FIGURA 19 - Conversor CC-CA.

Assim temos as seguintes equações:

$$v_i(\omega t) = V_i \quad (06)$$

$$v_o(\omega t) = V_o \cdot \sin(\omega t) \quad (07)$$

Para conversores baseados no conversor Ponte Completa do tipo Buck, a razão cíclica é dada por:

$$d(\omega t) = \frac{v_o(\omega t)}{v_i(\omega t)} \quad (08)$$

$$d(\omega t) = \frac{V_o \cdot \sin(\omega t)}{V_i} \quad (09)$$

Chamando de **M** o resultado de V_o/V_i , denominado de índice de modulação, tem-se:

$$M = \frac{V_o}{V_i} \quad (10)$$

$$d(\omega t) = M \cdot \sin(\omega t) \quad (11)$$

Abaixo na Fig. 20, tem-se um gráfico em (a) das tensões de entrada e saída do conversor e em (b) a razão cíclica em função do tempo.

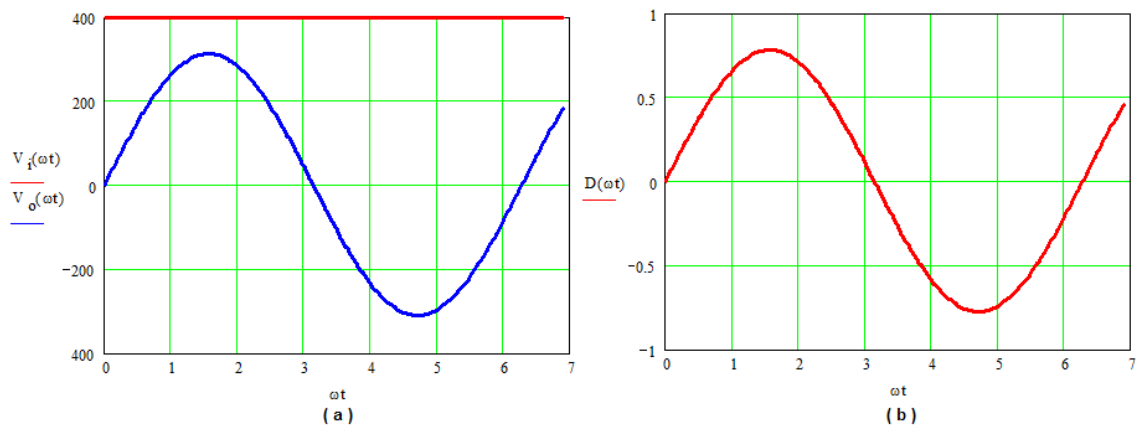


FIGURA 20 – $V_i \times V_o$ e Razão Cíclica (CC-CA)

5.1.2 CONVERSORES CA-CA

A tensão de entrada dos conversores CA-CA diretos é a própria tensão senoidal da rede e a saída é uma tensão senoidal de 60 Hz. Nestes conversores são empregados interruptores bidirecionais, o que torna o comando mais complexo ou o emprego de circuitos de ajuda a comutação. Na Fig. 21 pode-se observar um diagrama de blocos deste conversor.

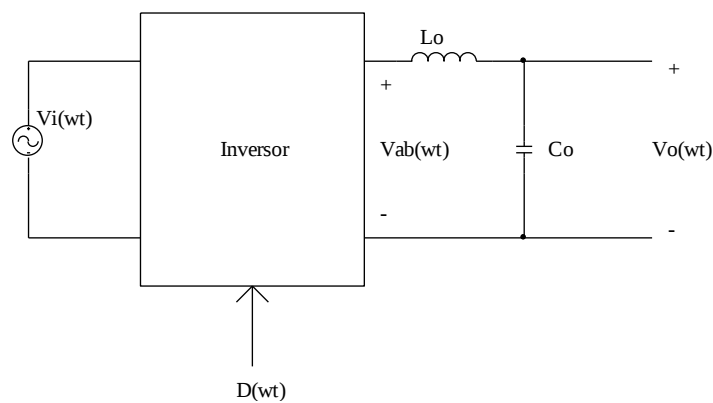


FIGURA 21 – Conversor CA-CA Direto

Assim temos as seguintes equações:

$$v_i(\omega t) = V_i \cdot \text{sen}(\omega t) \quad (12)$$

$$v_o(\omega t) = V_o \cdot \text{sen}(\omega t) \quad (13)$$

A razão cíclica é dada por:

$$d(\omega t) = \frac{v_o(\omega t)}{v_i(\omega t)} \quad (14)$$

$$d(\omega t) = \frac{V_o \cdot \text{sen}(\omega t)}{V_i \cdot \text{sen}(\omega t)} \quad (15)$$

$$M = \frac{V_o}{V_i} \quad (16)$$

$$d(\omega t) = M \quad (17)$$

Abaixo na Fig. 22, tem-se um gráfico em (a) das tensões de entrada e saída do conversor e em (b) a razão cíclica em função do tempo.

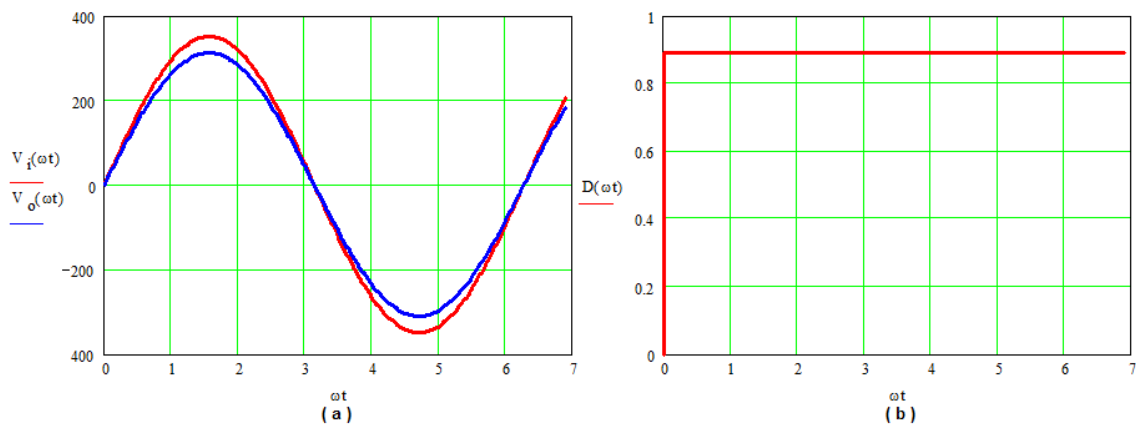


FIGURA 22 – $V_i \times V_o$ e Razão Cíclica (CA-CA)

O conversor CA/CA meia ponte utilizado no protótipo deste projeto apresenta características semelhantes ao conversor CA/CA direto citado anteriormente. Por possuir uma entrada senoidal e uma saída senoidal sua modulação é constante, como apresentado na Fig. 22.

5.2 ESTRATÉGIA DE ACIONAMENTO

A estratégia utilizada para o acionamento das chaves (KWON, MIN e KIN, 1996) se baseia no acionamento de acordo com o semi-ciclo da rede elétrica. Abaixo na Fig. 23 apresenta-se o esquemático do conversor Buck CA/CA e sua estratégia de acionamento.

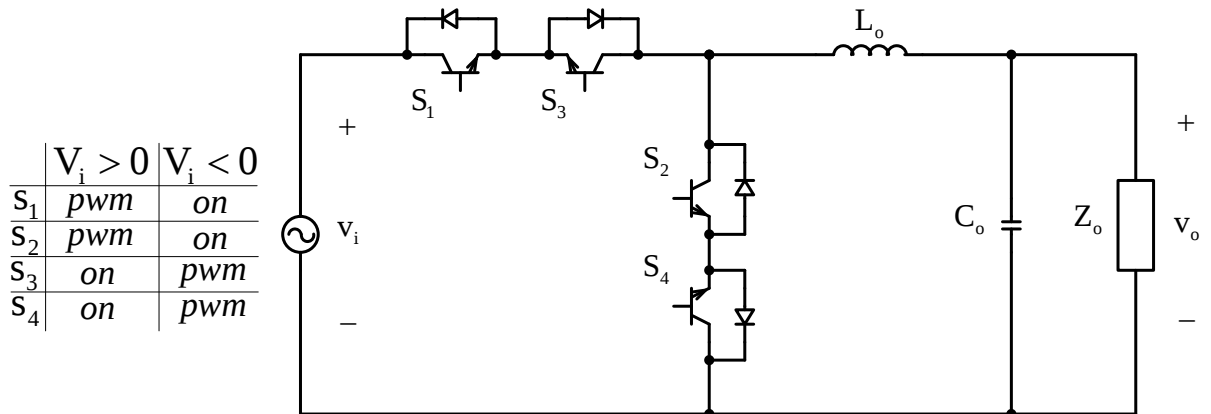


FIGURA 23 – Conversor Buck CA/CA

Abaixo na Fig. 24 tem detalhado as etapas de funcionamento desta estratégia de controle aplicado ao Conversor Buck CA/CA.

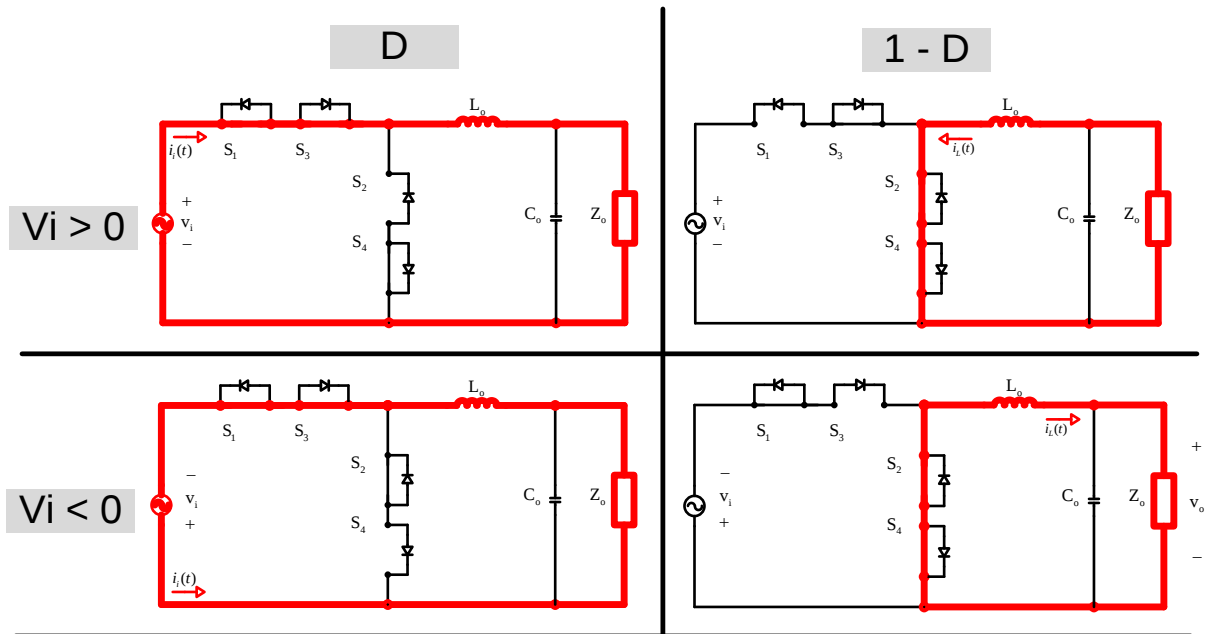


FIGURA 24 – Etapas de Funcionamento do Conversor Buck CA/CA

A topologia das chaves *Conversor Buck CA/CA* é a mesma utilizada no *Conversor Meia Ponte* utilizado no projeto, logo a estratégia de acionamento das chaves utilizadas foi a mesma.

5.3 GERAÇÃO DOS PULSOS

A geração dos pulsos PWMs (PWM 1, PWM 2, PWM 3 e PWM 4), para o acionamento das chaves do conversor, foi feita com o DSP. Nesta etapa tem-se por objetivo mostra a segurança tomada com relação a geração dos PWMs. Posteriormente serão detalhadas as configurações feitas no DSP para isto.

O acionamento correto das chaves é de grande importância, pois qualquer falha pode causar um curto nos braços do conversor gerando danos na

estrutura. Para garantir esta segurança foi utilizado uma interrupção do DSP dedicada para a configuração correta das chaves PWMs.

Configurada uma interrupção captura, a cada borda de subida ou descida do sinal de sincronismo, é gerada uma interrupção de alta prioridade. Nesta interrupção é testado o sinal de sincronismo e conforme seu estado são acionados corretamente os PWMs. Abaixo, na Fig. 25, tem-se um fluxograma demonstrando o que ocorre nesta interrupção de captura.

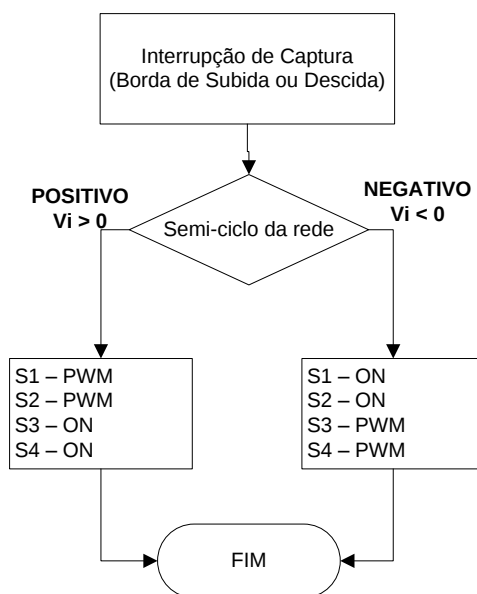


FIGURA 25 – Fluxograma do Acionamento das Chaves

Assim, a cada mudança no semi-ciclo da rede, o programa é desviado para a interrupção de captura, onde são testados e acionados corretamente os sinais PWMs. Na Fig. 26 apresentam-se os sinais PWMs gerados no DSP em função do sinal de sincronismo.

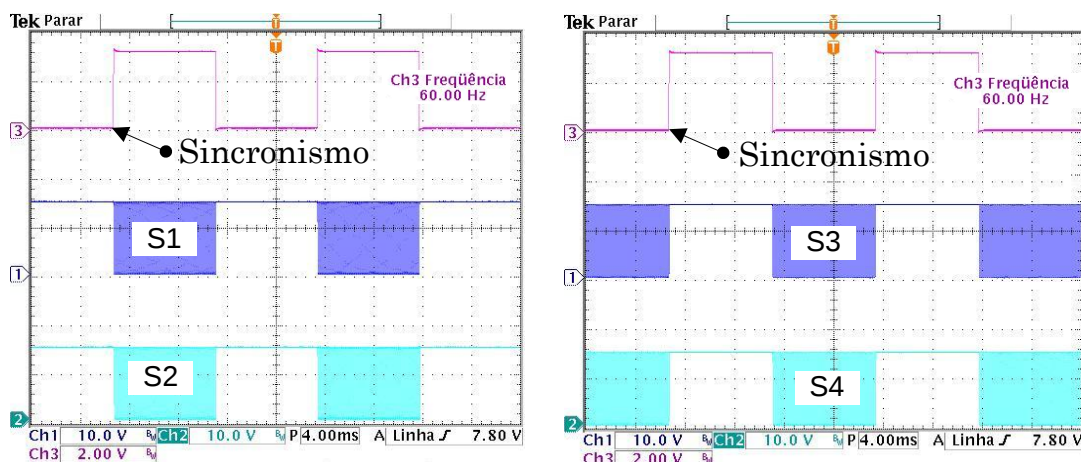


FIGURA 26 – Sinais PWM

Outro fato de importantíssima relevância é com relação ao tempo morto que deve ser gerado na mudança de estado dos pares PWM complementares. Este tempo morto é um tempo na ordem de “nano segundos” e é uma medida de segurança para que as duas chaves não conduzam ao mesmo tempo gerando um curto no conversor.

Em alguns casos são utilizados circuitos para gerar este tempo morto. Como o DSP possui essa funcionalidade de geração do tempo morto, o uso qualquer circuito é desnecessário. Na Fig. 27 pode ser visualizado o tempo morto gerado pelo DSP entres os pares complementares S1 e S2. Para os pares S3 e S4 o tempo morto é o mesmo.

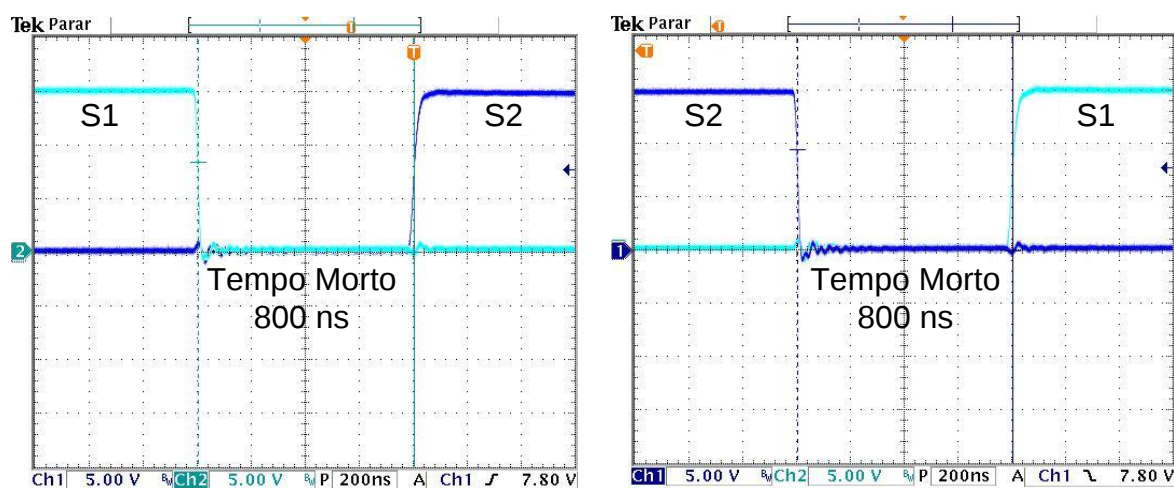


FIGURA 27 – Tempo Morto

6 CONTROLE

Neste trabalho foram implementados dois tipos de controladores (denominados: Controle pré-alimentado e Controle Realimentado), mas antes de descrever a metodologia seguida para o projeto de cada um deles, faz-se necessário o levantamento da função de transferência da planta e algumas equações.

6.1 MODELAGEM DO CONVERSOR

O conversor analisado na Fig. 28, considerando todos componentes ideais. Na FIGURA 29 o mesmo conversor é redesenhado com suas não idealidades do transformador.

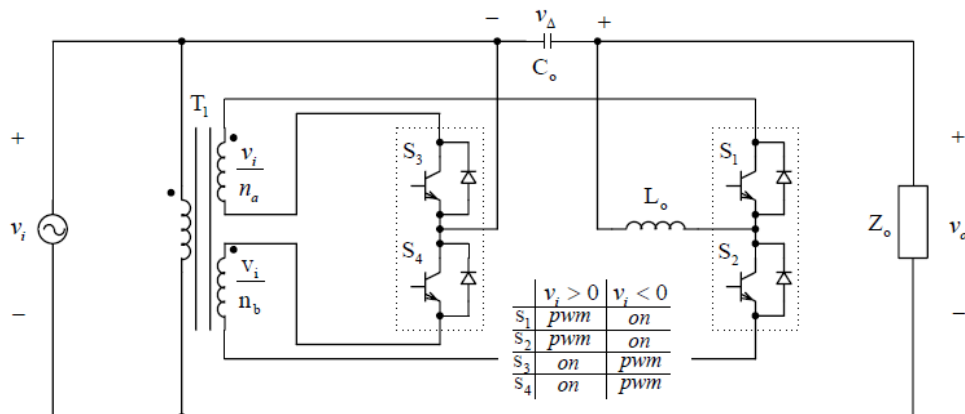


FIGURA 28 – Conversor CA/CA Meia Ponte.

Fonte: PETRY, 2006

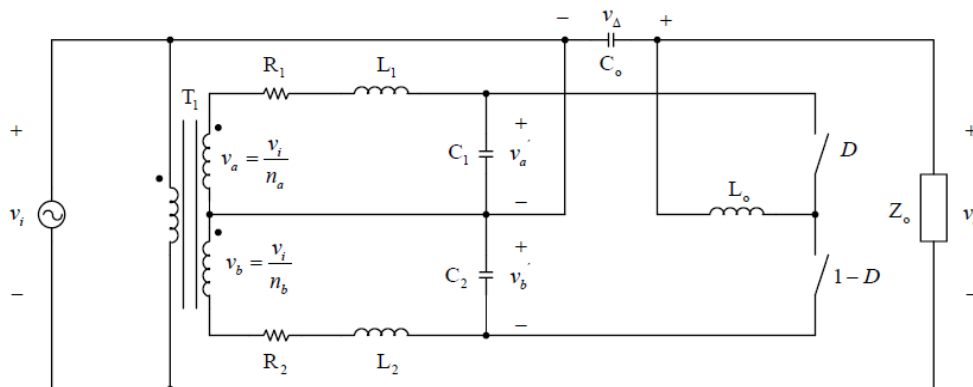


FIGURA 29 – Conversor CA/CA meia ponte com as não idealidades do transformador

Fonte: PETRY, 2006

Para fazer a modelagem do conversor em questão é analisado seu comportamento ao aplicarmos um pequeno sinal (perturbação). Para fazer essa análise, as chaves são substituídas pelo modelo PWM de Volpérian (VOLPÉRIAN, 1988). Na FIGURA 30 apresenta-se o modelo para pequenos sinais do conversor CA/CA meia ponte.

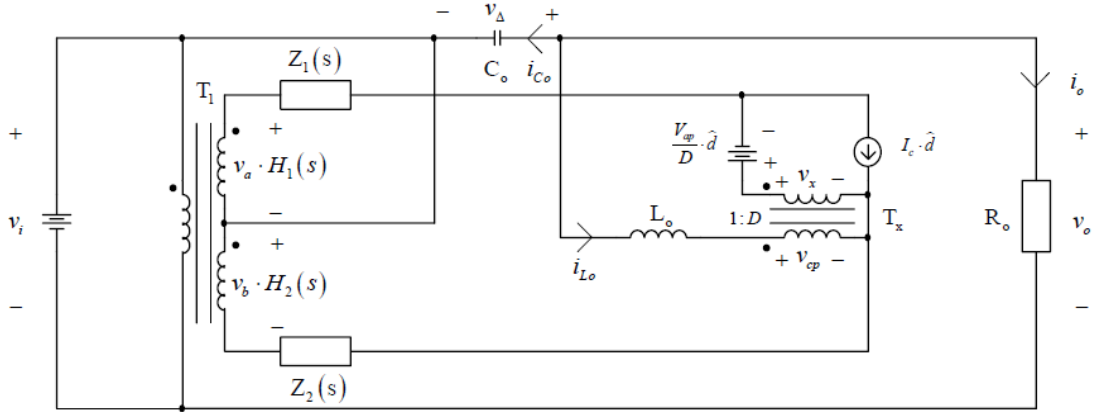


FIGURA 30 – Modelo de pequenos sinais do Conversor CA/CA meia ponte

Fonte: PETRY, 2006

Analisando o circuito da FIGURA 30 tem-se:

$$V_i = (V_i + \hat{v}_i) \quad (18)$$

$$V_o = (V_o + \hat{v}_o) \quad (19)$$

$$na = V_i/V_a \quad (20)$$

$$nb = V_i/V_b \quad (21)$$

$$Z_1(s) = \frac{s \cdot L_1 + R_1}{s^2 \cdot L_1 \cdot C_1 + s \cdot R_1 \cdot C_1 + 1} \quad (22)$$

$$Z_2(s) = \frac{s \cdot L_2 + R_2}{s^2 \cdot L_2 \cdot C_2 + s \cdot R_2 \cdot C_2 + 1} \quad (23)$$

$$H_1(s) = \frac{1}{s^2 \cdot L_1 \cdot C_1 + s \cdot R_1 \cdot C_1 + 1} \quad (24)$$

$$H_2(s) = \frac{1}{s^2 \cdot L_1 \cdot C_1 + s \cdot R_1 \cdot C_1 + 1} \quad (25)$$

A primeira etapa é a análise em regime permanente, de onde se obtém o **Ganho Estático Ideal** (26). Diz-se ideal, pois não são desconsideradas as não idealidades do transformador.

$$\frac{V_o}{V_i} = \frac{D(na + nb) + na \cdot nb - na}{na \cdot nb} \quad (26)$$

Outra equação importante que é adquirida por análise de *malhas* e *nós* do circuito da FIGURA 22 é a corrente no capacitor (27) e a tensão V_x (28).

$$I_o = I_c = V_o / R_o \quad (27)$$

$$V_x = V_i \cdot \left(\frac{1}{na} + \frac{1}{nb} \right) - V_o / R_o \cdot [R_1 \cdot D - R_2 \cdot (1 - D)] \quad (28)$$

Numa etapa final se chegou às seguintes equações:

$$\frac{V_i}{V_o} = \frac{D \cdot (na + nb) + na \cdot nb - na}{na \cdot nb} \cdot \frac{R_o}{D^2 \cdot (R_1 + R_2) + R_2(1 - D) - D + R_o} \quad (29)$$

$$\frac{\hat{V}_o}{\hat{d}} = \frac{R_o \cdot [V_x - I_c \cdot (D \cdot Z_1(s) - (1 - D) \cdot Z_2(s))]}{s^2 \cdot L_o \cdot R_o \cdot C_o + s \cdot L_o + R_o + (s \cdot R_o \cdot C_o + 1) \cdot (D^2 \cdot Z_1(s) - (1 - D)^2 \cdot Z_2(s))} \quad (30)$$

Onde (29) é o **Ganho Estático Real**, considerando todas as não idealidades do transformador e (30) é a função de transferência completa do conversor.

Substituindo (22) e (23) na equação (30) obteve-se uma função de transferência com um polinômio de sexta ordem no denominador e um de quarta ordem no numerador. Para avaliar se essas não idealidades do transformador influenciariam no projeto do controlador foi traçado, utilizando o MATLAB, o diagrama de Bode da função completa (considerando as não idealidades do transformador, $Z_1(s)$ e $Z_2(s)$) e outro diagrama considerando essas não idealidades nulas. Abaixo se apresenta os dois diagramas sobrepostos:

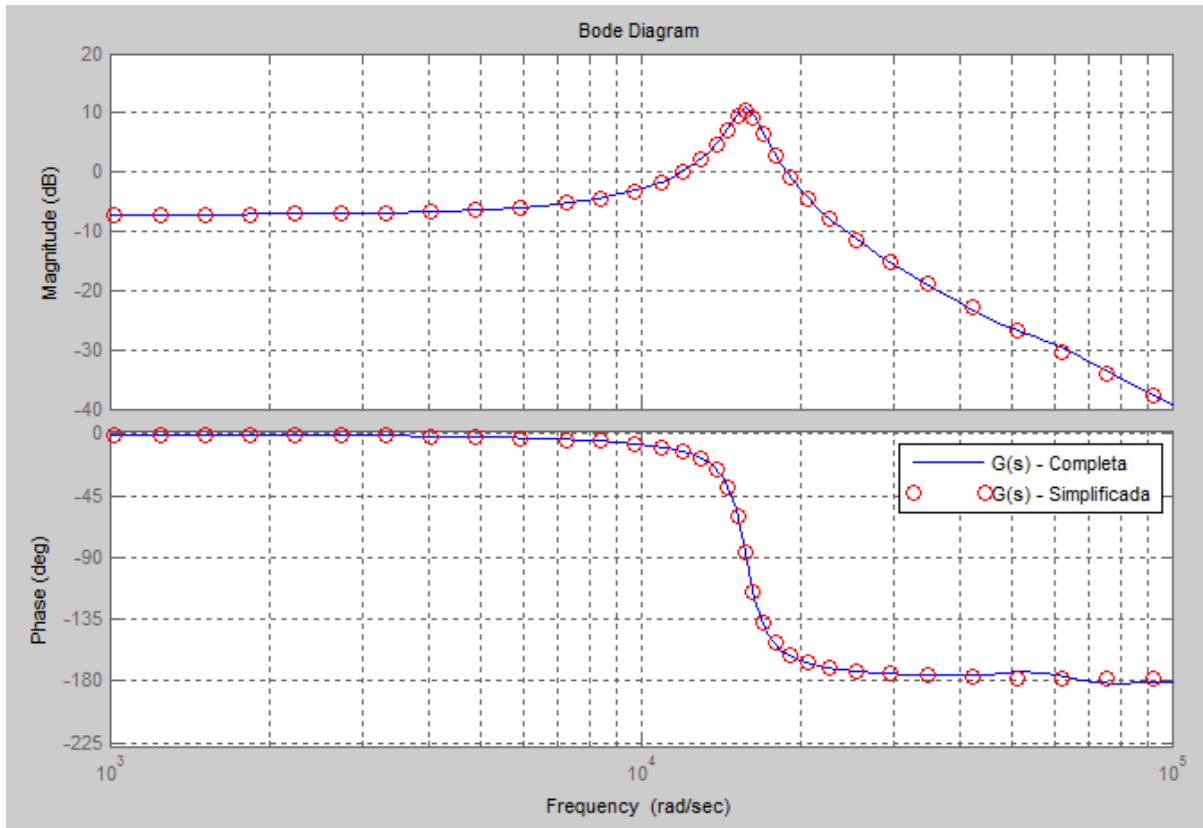


FIGURA 31 – Diagrama de Bode G(s) (Completa e Simplificada)

Como pode ser observado, na Fig. 31, tanto a equação simplificada quando a equação completa apresentam os diagramas de Bode semelhante, logo para facilitar o projeto do controlador foi utilizada a função de transferência simplificada.

$$G(s) = \frac{\hat{V}_o}{\hat{d}} = \frac{R_o \cdot V_x}{s^2 \cdot L_o \cdot R_o \cdot C_o + s \cdot L_o + R_o} \quad (31)$$

6.2 CONTROLE PRÉ-ALIMENTADO

Utilizando como variável de controle a tensão de entrada V_i abaixo na FIGURA 24 pode ser observado o diagrama deste controlador.

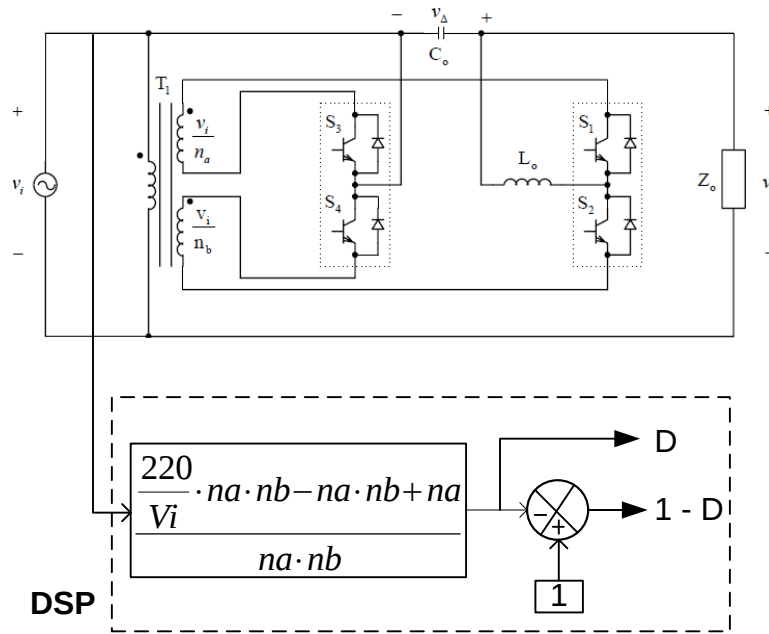


FIGURA 32 – Controle Pré-Alimentado (Diagrama em Blocos)

Seu princípio de funcionamento é bastante simples: o DSP mede o valor eficaz da entrada V_i e após o cálculo atualiza o valor da razão cíclica D utilizando a equação:

$$D = \frac{\frac{V_o}{V_i} \cdot na \cdot nb - na \cdot nb + na}{na \cdot nb} \quad (32)$$

Como o valor de V_o desejado é 220 Volts fixos, o valor de D é calculado em relação à tensão de entrada V_i .

6.3 CONTROLE REALIMENTADO

O princípio de funcionamento deste controlador é apresentado na FIGURA 33. Este método de controle é mais elaborado que o controlador citado anteriormente, pois ponto a ponto da senoide o valor da razão cíclica é calculado, fazendo com que a tensão de saída (V_o) siga uma referencia estabelecida no projeto.

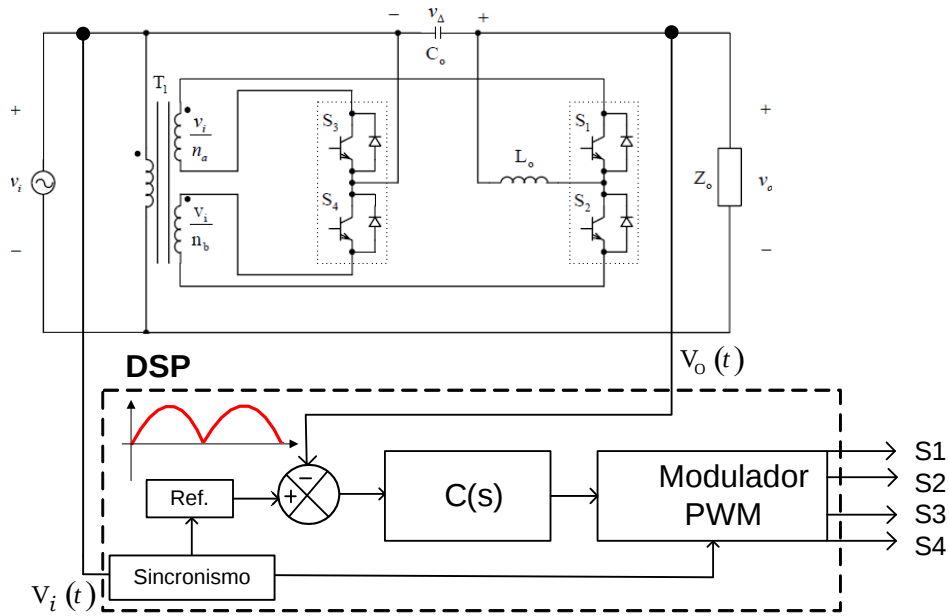


FIGURA 33 – Controle Realimentado (Diagrama em Blocos)

O número de pontos da senoide que serão amostrados é definido no projeto do controlador. Uma das maiores vantagens da utilização deste método é que permite avaliar no decorrer do projeto, o erro em regime, o sobre-sinal e o tempo de acomodação quando variado a entrada V_i .

6.3.1 Projeto do Controlador (Topologia de 2 pólos)

Para o projeto do controlador, foi escolhida a topologia de dois pólos (BARBI, 2001). A função de transferência deste controlador possui 2 zeros e 2 pólos, sendo um desses pólos colocados na origem para garantir baixo erro estático da tensão de saída.

O compensador de 2 pólos é empregado nas fontes chaveadas com filtro de saída de 2 pólos, como as do tipo *Forward*, *Bridge*, *Half-Bridge* e *Push-pull* (BARBI, 2001).

Seguindo a metodologia proposta, primeiramente é calculada a frequência de transição f_o (33) e a frequência de corte do sistema (34).

$$f_o = \frac{1}{2 \cdot \pi \cdot \sqrt{L_o \cdot C_o}} \quad (33)$$

$$f_c = \frac{f_s}{4} \quad (34)$$

Em seguida são definidas as freqüências em que serão colocados os pólos e os zeros. O segundo pólo e os dois zeros são definidos de acordo com a freqüência f_o e para erro em regime nulo um dos pólos deve estar colocado em zero.

$$f_{z1} = f_{z2} = f_o \quad (35)$$

$$f_{p1} = 0 \quad (36)$$

$$f_{p2} = 5 \cdot f_o \quad (37)$$

A partir das equações (31), (32) e (33) tem-se:

$$\omega_{z1} = 2 \cdot \pi \cdot f_{z1} \quad (38)$$

$$\omega_{z2} = 2 \cdot \pi \cdot f_{z2} \quad (39)$$

$$\omega_{p1} = 2 \cdot \pi \cdot f_{p1} \quad (40)$$

$$\omega_{p2} = 2 \cdot \pi \cdot f_{p2} \quad (41)$$

Depois de determinar as freqüências acima, é calculado o ganho em dB da planta. Este ganho é determinado substituindo s da função da planta pela freqüência de corte escolhida, assim temos:

$$A_1 = |G(s)|_{s=j\omega_c} \quad (42)$$

$$H_1 = 20 \cdot \log(A_1) \quad (43)$$

Com o ganho da planta é possível calcular o ganho em dB do compensador utilizando a equação (43), e a partir deste é possível calcular o valor de A_2 , que é o ganho empregado no controlador.

$$H_2 = -H_1 + 20 \cdot \log\left(\frac{\omega_{p2}}{\omega_c}\right) \quad (44)$$

$$A_2 = 10^{\left(\frac{H_2}{20}\right)} = K_c \quad (45)$$

Assim o controlador é representado abaixo (46):

$$C(s) = K_c \frac{(s + \omega_{z1}) \cdot (s + \omega_{z2})}{(s + \omega_{p1}) \cdot (s + \omega_{p2})} \quad (46)$$

Para o melhor entendimento das variáveis utilizadas nos equacionamentos acima, segue na FIGURA 34 um esboço do diagrama de bode da planta (G_s) e do controlador (C_s). A soma dos dois diagramas resultara na FTMA (Função de transferência de malha aberta, ou de laço aberto).

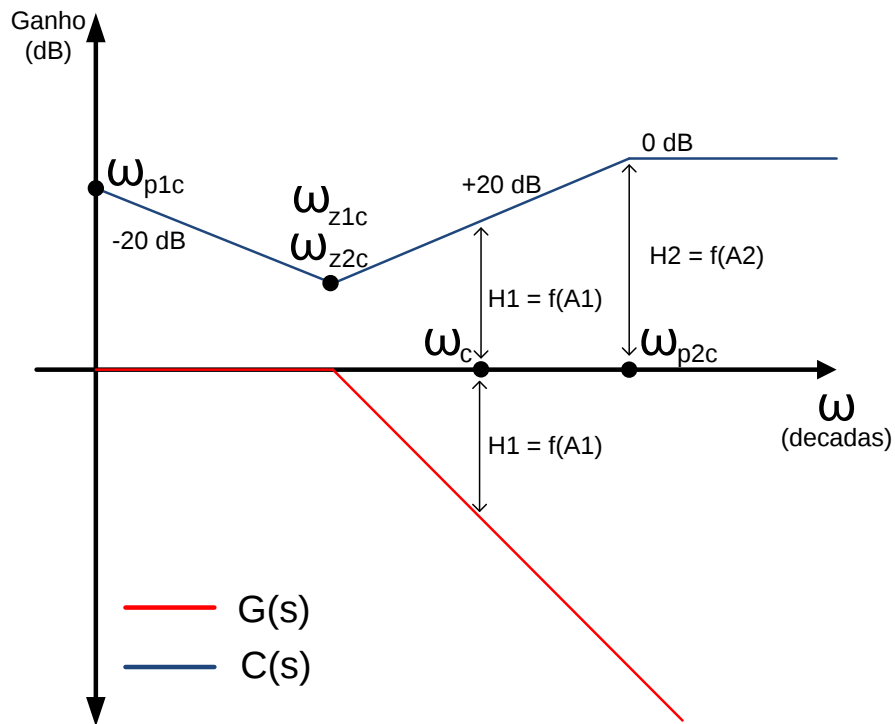


FIGURA 34 – Diagrama de Ganho do Compensador

Utilizando o MATLAB como ferramenta foram seguidos os procedimentos anteriores.

Foi ajustado o valor do f_c (Frequência de corte) e de f_{p2} (Frequência do pólo 2) observando o diagrama de Bode e lugares das raízes, em busca de uma melhor resposta do controlador. Assim chegou-se ao controlador abaixo:

$$C(s) = \frac{3,203 \cdot s^2 + 101,3m \cdot s^1 + 800 \cdot \mu}{s^2 + 142,3m \cdot s^1} \quad (47)$$

Abaixo na Fig. 35 apresenta-se o diagrama de Bode do sistema controlado. Como pode ser observado, o sistema está com uma margem de fase (P.M.) de 28.4° sendo assim um sistema estável.

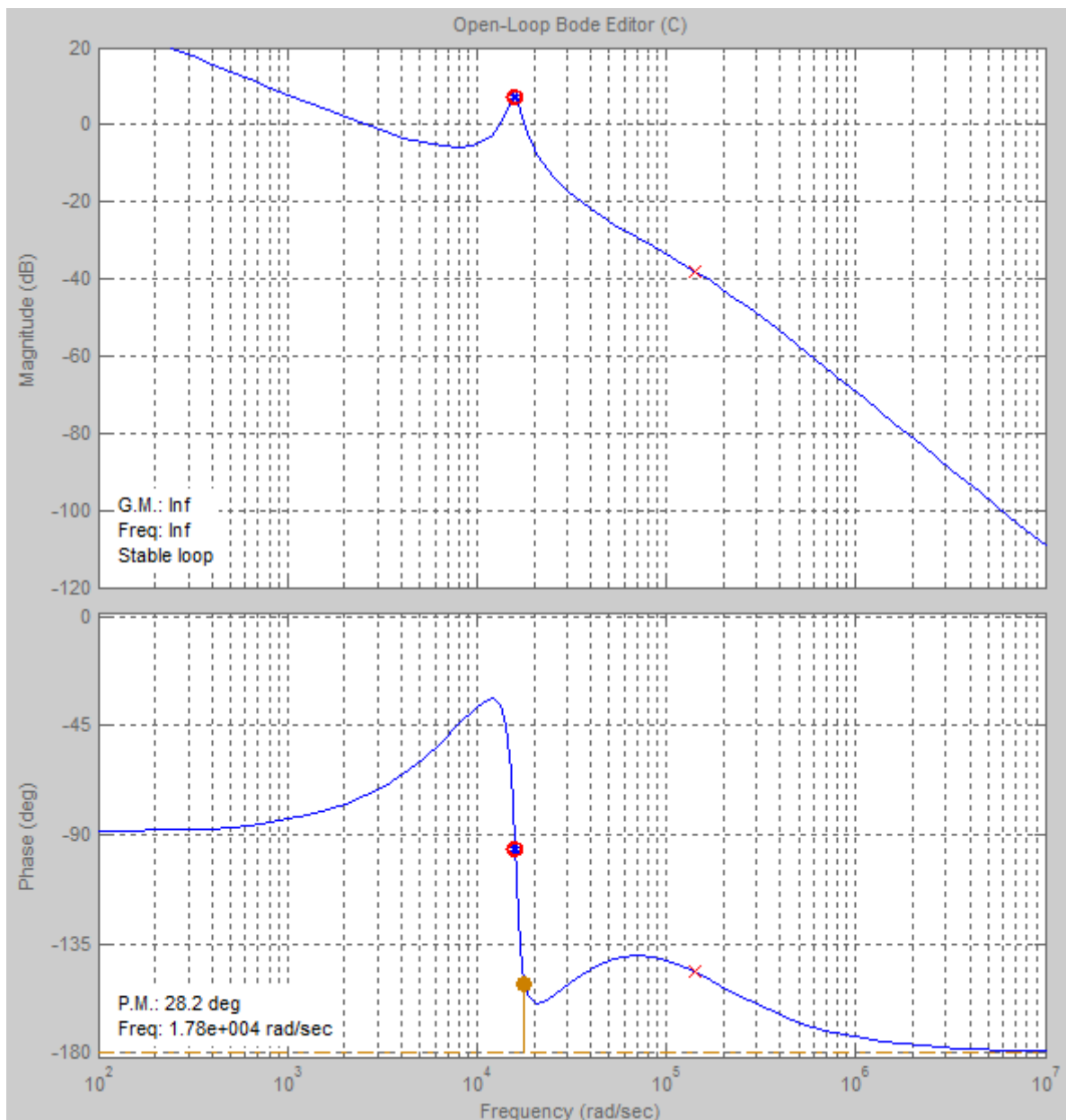


FIGURA 35 – Diagrama de Bode do Sistema Controlado

Como segunda ferramenta utilizada para verificar a estabilidade é o lugar das raízes. Na Fig. 36 temos traçado o lugar das raízes do sistema controlado. Nele são apontados: os pólos do sistema em malha fechada (FTMF); os pólos do compensador (Cs); e os zeros do compensador (Cs). Como pode ser observado os pólos do sistema encontram-se na área de estabilidade (lado esquerdo do plano cartesiano).

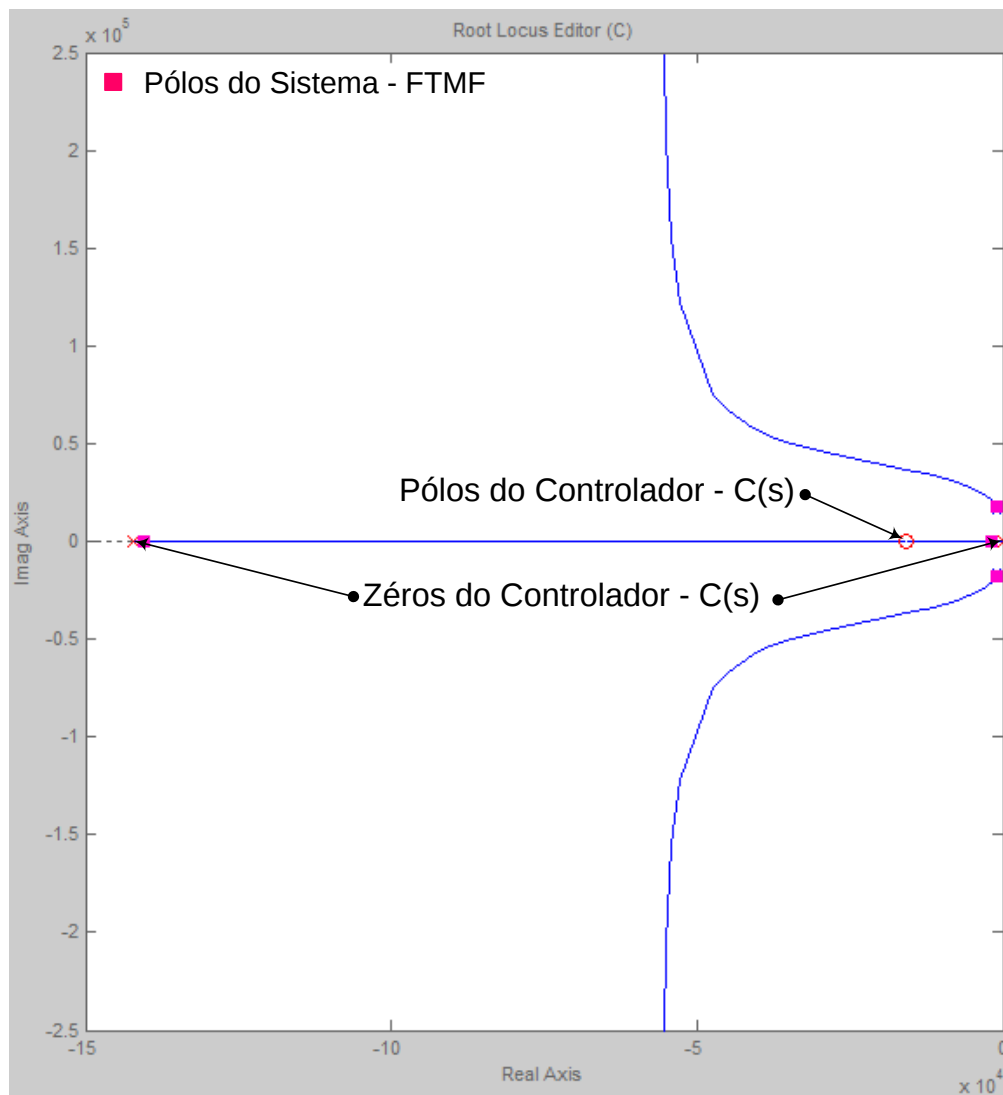


FIGURA 36 – Lugar das Raízes do Sistema Controlado

Para melhor visualizar a atuação deste controlador foi aplicado um degrau unitário na planta – $G(s)$ em azul – e plotado no mesmo gráfico a resposta do sistema com o controlador e realimentado – FTMF em verde. Na Fig. 37 pode ser observado que na planta sem o controlador possui um erro de mais de 50% em regime e o tempo de acomodação do sistema em 5% é de 2,82 ms. Já no sistema com o controlador e realimentado, tem-se em regime erro nulo e o tempo de acomodação do sistema em 5% de 1.79 ms.

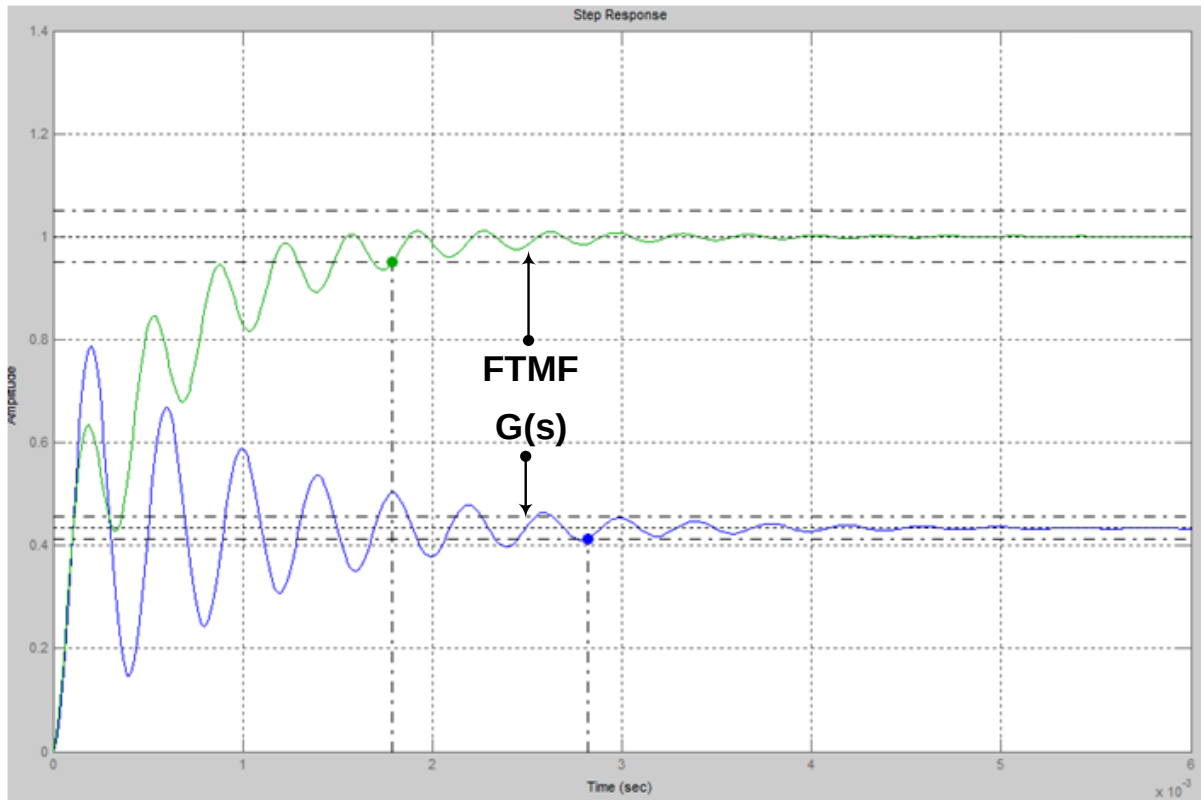


FIGURA 37 – Atuação do Controle ($G_s \times \text{FTMF}$)

Numa segunda etapa, o controlador é testado em um simulador. Mas para que isso fosse possível, primeiramente deve-se calcular sua *equação a diferença* do controlador. Assim, utilizando o MATLAB, aplicou-se a transformada z no controlador $C(s)$, e a partir do controlador $C(z)$ gerado foi feita a transformada z inversa, chegando na equação do controlador no domínio do tempo discreto.

A função “c2d”, do MATLAB, tem como parâmetros a função em s , o período de amostragem T e o método a ser utilizado (ZOH, FOH, Tustin e outros). Fez-se o uso do método Tustin, devido o método ZOH mostrar certa instabilidade na prática (BATISTA, 2006). Assim utilizando a função “c2d” chegou-se ao seguinte controlado:

$$C(z) = \frac{1,357 \cdot z^2 - 1,131 \cdot z^1 + 0,2355}{z^2 - 0,425 \cdot z^1 - 0,575 \cdot s^1} \quad (48)$$

A partir da equação (48) é aplicada a “transformada Z” (OGATA, 1995) onde se obteve a seguinte equação a diferença (49) e com esta é possível a implementação do controlador.

$$u[k] = 1,375e[k] - 1,131e[k - 1] + 0,2355e[k - 2] + 0,425u[k - 1] + 0,575u[k - 2] \quad (49)$$

Utilizando como ferramenta de simulação o *software* PSIM, foram implementadas todas as configurações que seriam utilizadas na prática e assim testado o controlador digital (43). Abaixo na Fig. 38 apresenta-se circuito montado no ambiente de trabalho do PSIM.

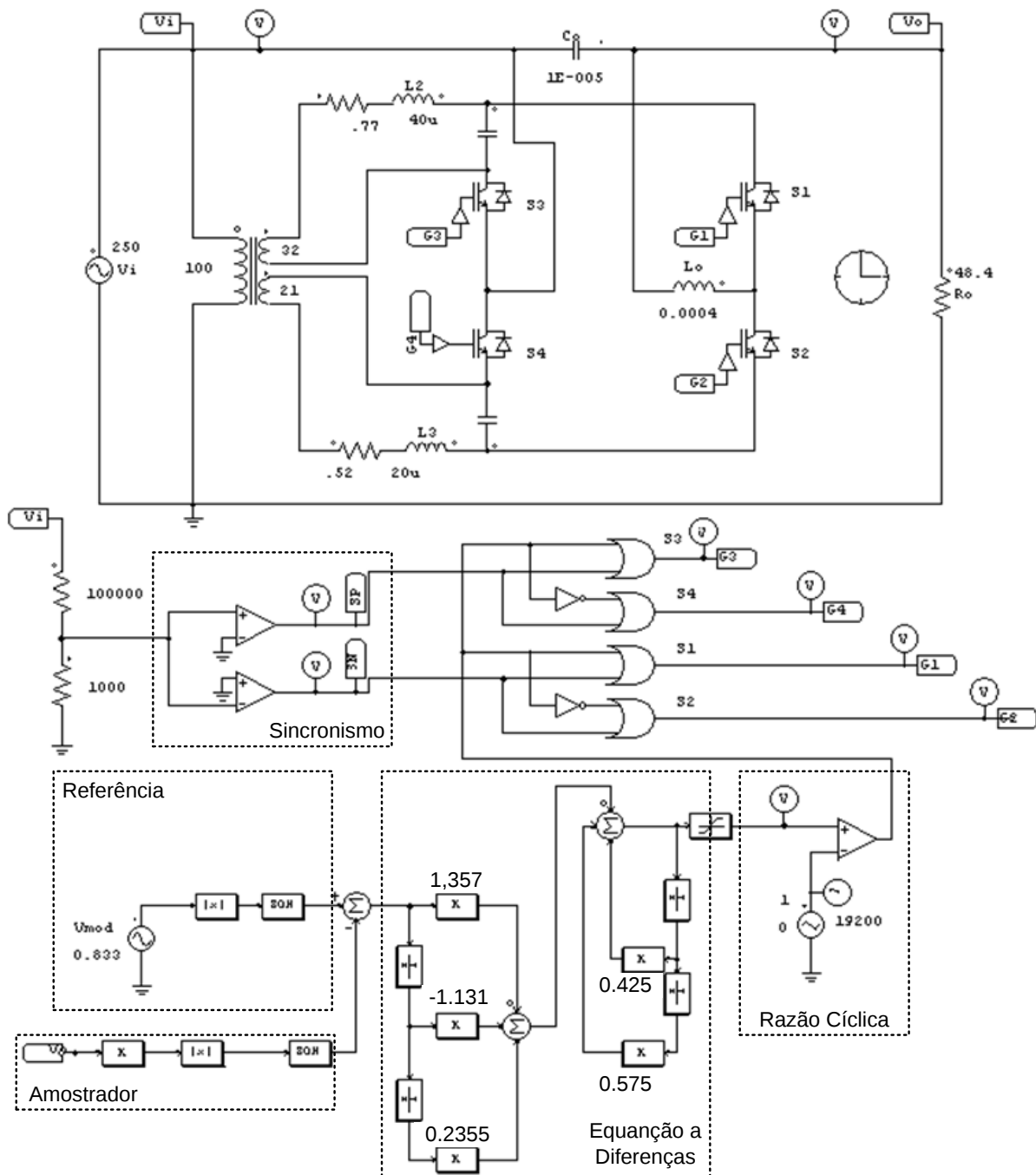


FIGURA 38 – Circuito Completo PSIM

O controlador no PSIM se mostrou bastante estável e confiável. Variando a tensão de entrada a de saída manteve-se próximo a 220 Volts. Abaixo podemos observar a atuação do controle: na Fig. 39, funcionando como abaixador de tensão, e na Fig. 40 funcionando como elevador de tensão.

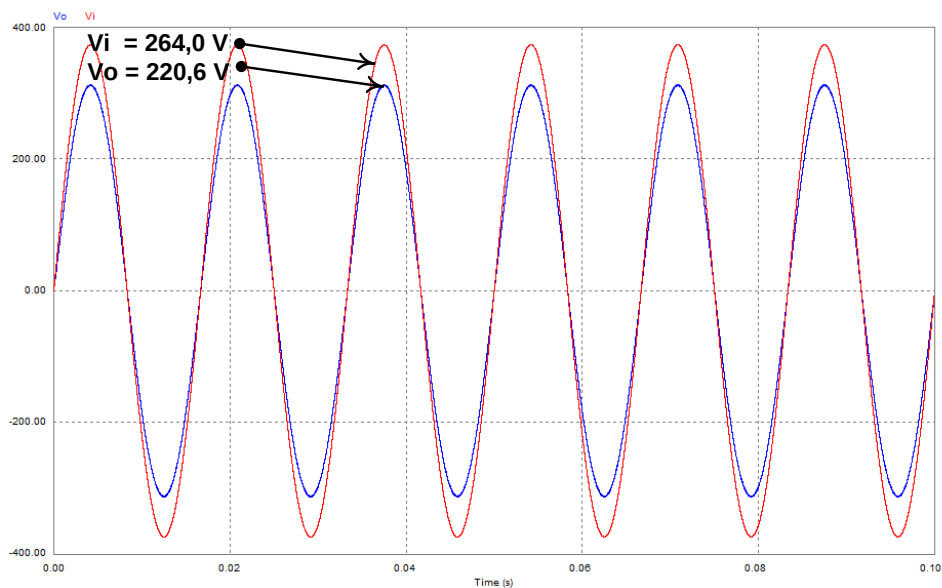


FIGURA 39 – Simulação do Controlador (Abaixador de Tensão)

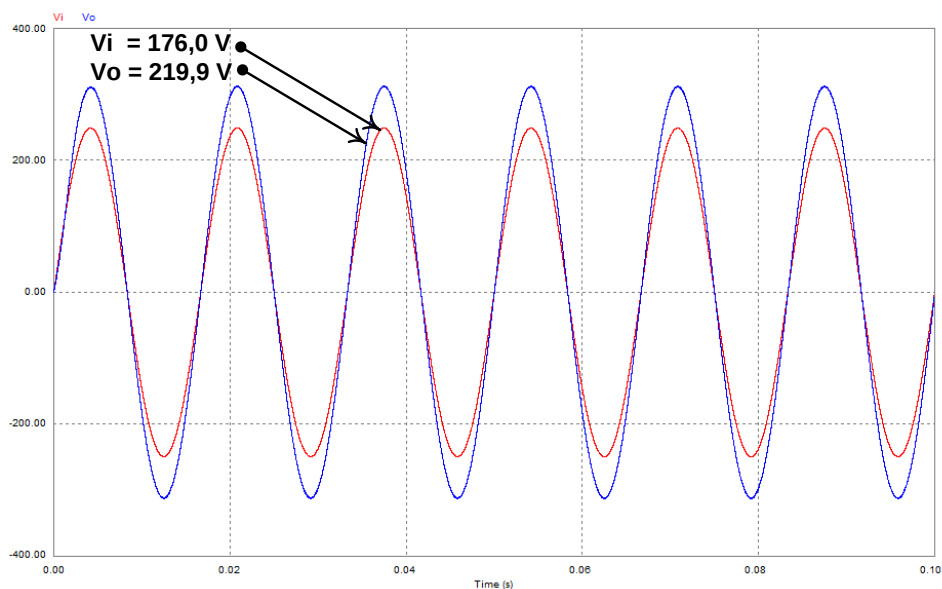


FIGURA 40 – Simulação do Controlador (Elevador de Tensão)

7 Protótipo Final

Nesta etapa final do projeto foram integradas todas as partes do projeto (Medição, Modulação e Controle). Para isso foi necessário o desenvolvimento de um hardware, de aquisição de sinais, contendo:

- Fontes Auxiliares (15 V, -15 V, 05 V e 3.3 V).
- Circuito de Sincronismo.
- Sensor de Tensão de Entrada – Retificador de Precisão.
- Sensor de Tensão de Saída – Retificador de Precisão
- Driver de Tensão (DSP – Potência).

Abaixo, na Fig. 41, apresenta-se o diagrama em blocos do protótipo final.

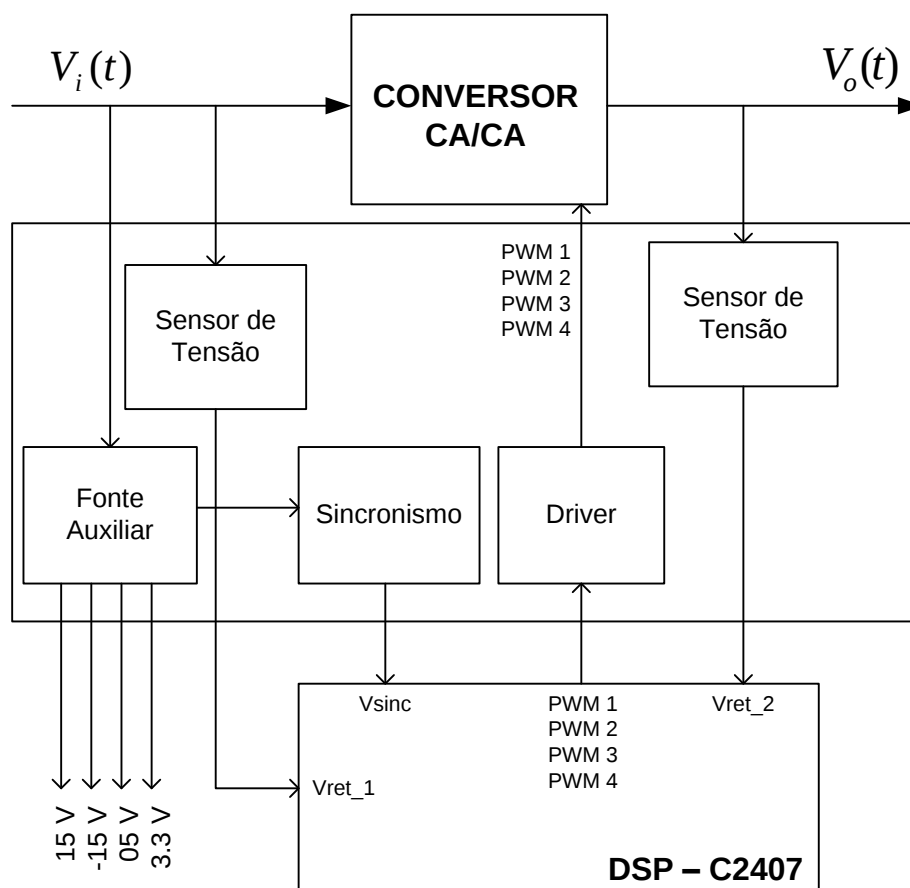


FIGURA 41 – Diagrama em Blocos do Protótipo Final

7.1 HARDWARE DE SINAIS

Inicialmente no projeto foi feito um *hardware* denominado vEficaz, onde se encontrava:

- Fonte 12/12, 05 e 3.3.
- Um Sensor de Tensão (Retificador de Precisão).
- Circuito de Sincronismo (Detector de Zeros).

Este hardware inicial foi utilizado para validar as técnicas de medição do valor eficaz e iniciar o estudo da modulação PWM para acionamento das chaves do conversor AC/AC. Para o **Hardware de Sinais** foram feitas algumas modificações, como:

- Fonte 15/15 (em vez de 12/12).
- Dois Sensores de Tensão (Entrada e Saída).
- Buffer de Tensão (3.3 V para 15 V – acionamento das chaves).

7.1.1 Buffer de Tensão

Devido ao fato de o DSP trabalhar com nível de tensão de 3.3 Volts e as chaves no conversor serem acionadas com 15 Volts, foi necessário desenvolver um buffer de tensão para adequar esses níveis de tensão.

Outra medida de segurança tomada foi a liberação dos sinais de comando (PWM1, PWM2, PWM3 e PWM4) para as chaves do conversor somente com a habilitação de um pino do DSP. Devido ao fato de o DSP iniciar todos seus pinos em nível lógico alto, ao ligá-lo as 4 chaves seriam acionadas ao mesmo tempo causando um curto e podendo danificar o protótipo. Assim, no circuito de buffer foi projetada uma lógica onde somente quando o pino “INIBE_DSP” fosse para nível lógico zero as saídas PWMs fossem habilitadas. Na Fig, 42 segue o circuito de buffer de tensão projetado com o circuito de habilitação das saídas PWMs.



Abaixo se apresenta o layout da PCI do *Hardware* de Sinais na Fig. 43 (no APÊNDICE D encontra-se o esquemático completo desta PCI). Na Fig. 44 tem-se a foto da PCI após a montagem.

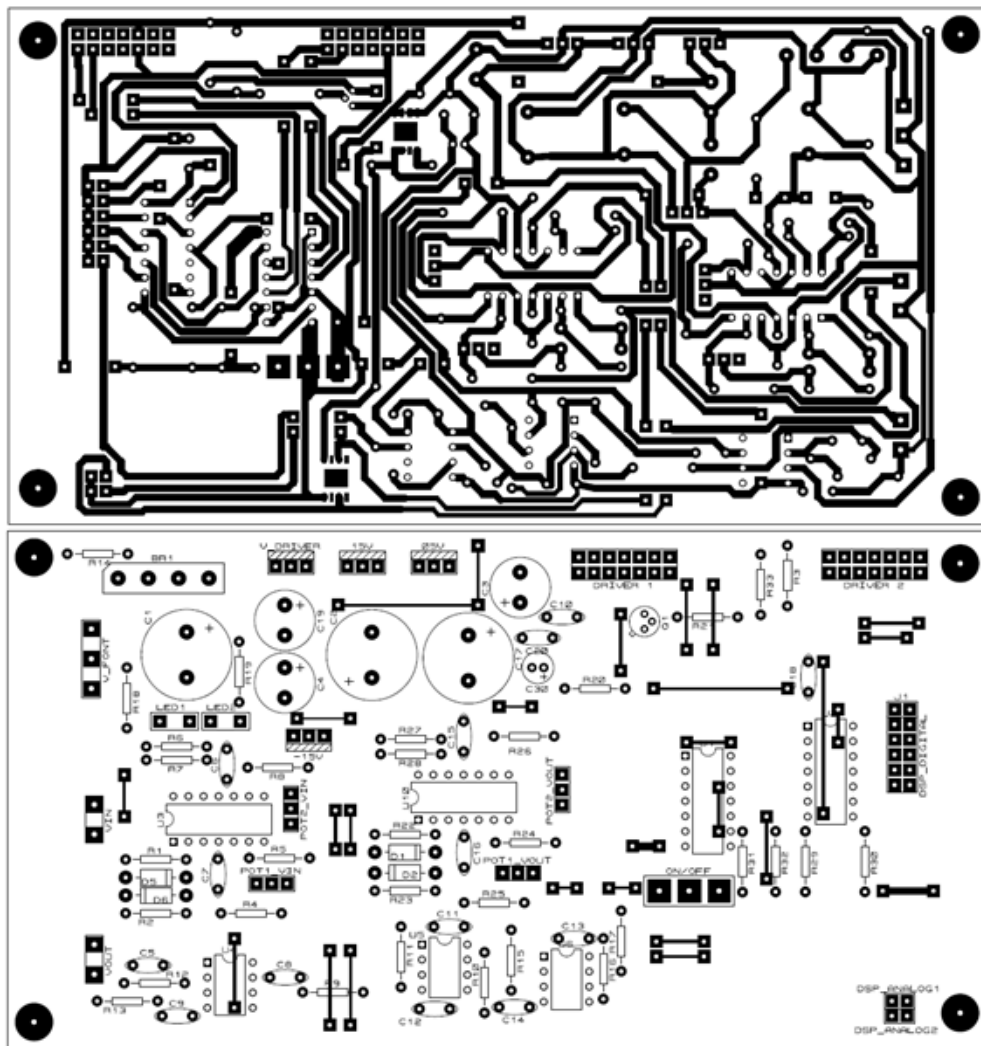


FIGURA 43 – Layout da PCI Hardware de Sinais – (a) Bottom (b) Top Silk

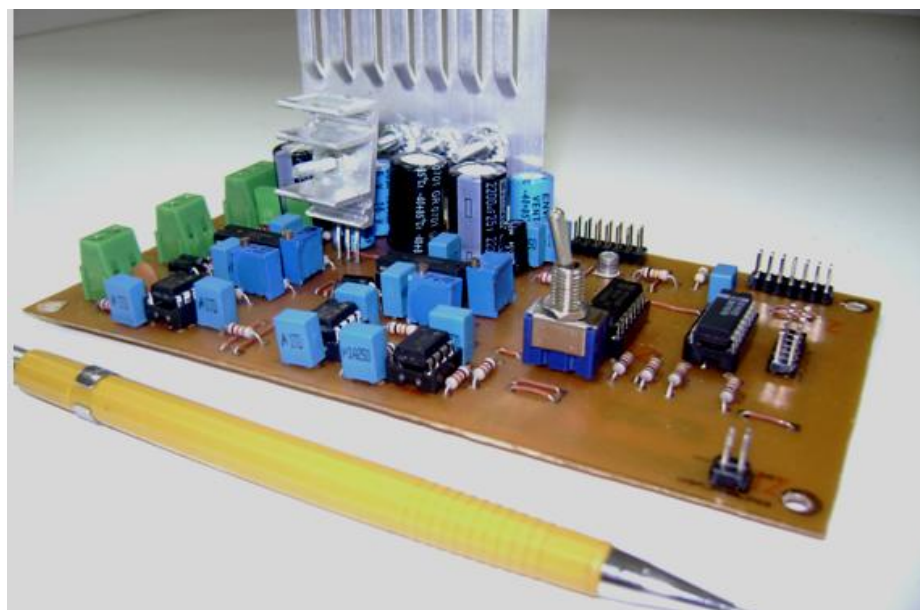


FIGURA 44 – Hardware de Sinais

7.1.2 Teste do Hardware de Sinais

a) Sinal de Sincronismo: Como pode ser observado na Fig. 45 o sinal de sincronismo está funcionando como o esperado. Lembrando que este sinal é de extrema importância, pois é com base nele que o DSP saberá qual das chaves deverá acionar.

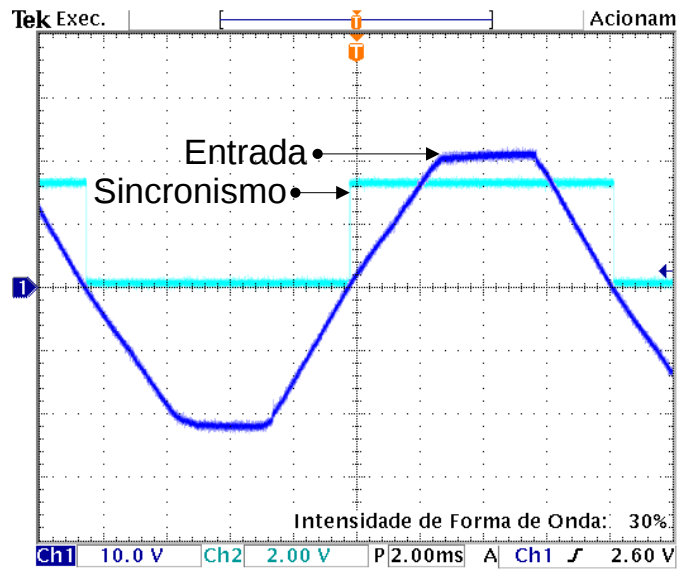


FIGURA 45 – Sinal de Sincronismo (Hardware de Sinais)

b) Sensores de Tensão: Os sensores de tensão (Retificador de Precisão) foram ajustados igualmente. Para regulagem foi injetado o mesmo sinal nos dois sensores e observada sua saída; abaixo na Fig. 46, apresentam-se esses sinais.

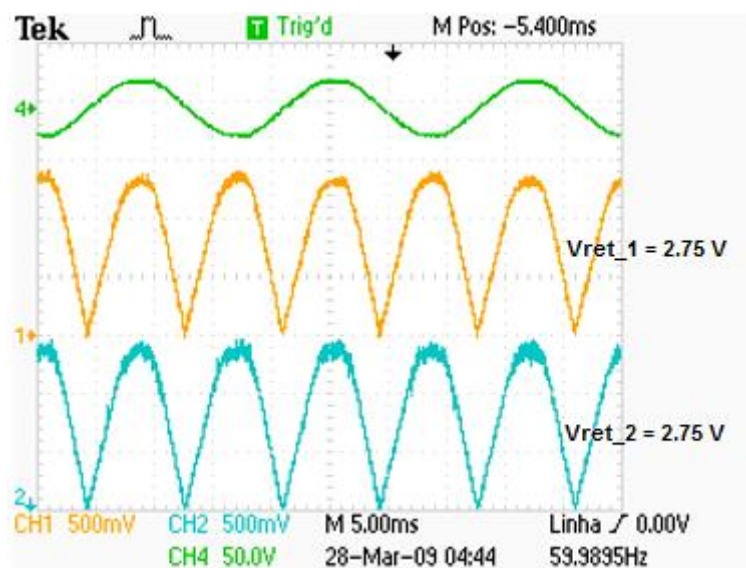


FIGURA 46 – Sensores de Tensão (Hardware de Sinais)

7.1.3 DR2cf

Para o acionamento das chaves IGBTs do conversor é utilizado 2 drivers DR2cf (um para cada braço) da fabricante Microsol, apresentado na Fig. 47.

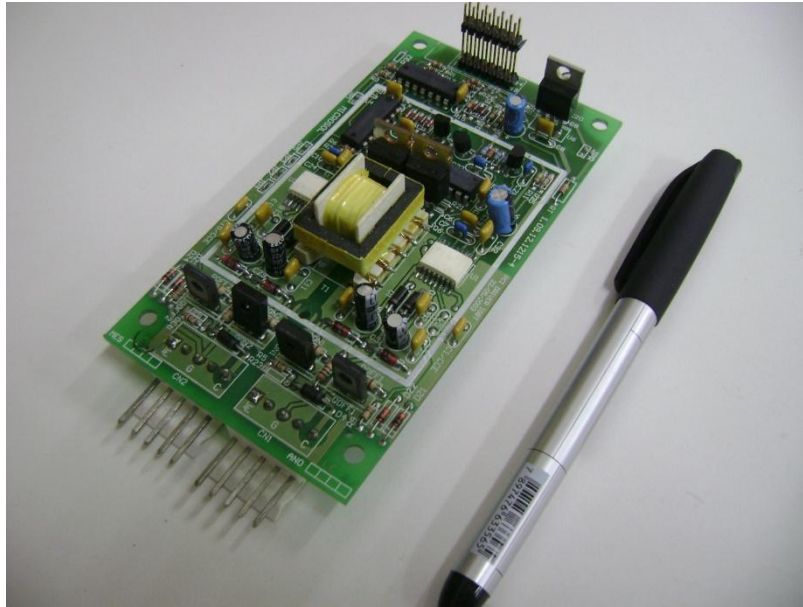


FIGURA 47 – Driver Duplo DR2cf (Microsol)

Este driver duplo é um dispositivo desenvolvido para o acionamento de interruptores do tipo IGBTs, podendo também comandar MOSFETs desde que algumas limitações sejam respeitadas. As principais vantagens adquiridas com o emprego deste tipo de dispositivo são:

- Detecção de tensão V_{ce} , de maneira a evitar a destruição do interruptor em situações de curto circuito.
- Sistema de “intertramento”. Impede que dois sinais sejam mandados ao *gate* ao mesmo tempo e produz tempo morto.
- Uso de sinal negativo de *gate* no bloqueio do interruptor, de forma a tornar esse processo mais seguro.
- Alimentação 15 Volts.

7.2 PROGRAMAÇÃO DO DSP

Como citado anteriormente para programação do DSP foi utilizado o ambiente de desenvolvimento *Code Composer*.

O primeiro método de controle, o pré-alimentado, foi feito em linguagem C pois seus cálculos eram menos complexos. Já o segundo método de controle, o realimentado, a programação foi feita em assembly, pois os cálculos eram mais complexos e o tempo disponível para este cálculo era pequeno (50μ segundos).

Tanto em C quanto em assembly a configuração dos registradores iniciais do processador foi a mesma (ESPERANÇA, 2006).

7.2.1 Configurações

a) Definições de variáveis e constantes: São declaradas todas variáveis e constantes que serão utilizadas nos programas.

b) Pinos de Entrada e Saída (I/O):

Nos registradores MCRA, MCRB e MCRC é onde são configuradas as funções dos pinos do DSP, podendo ficar na sua função primária (PWM, CAP e outros) ou ir para sua função secundária de pino de entrada e saída digital.

Os registradores PxDATDIR são os registradores que definem se o pino vai ter função de entrada ou saída e também é nesses registradores que se visualiza o estado atual do pino.

Assim do conector P2, o pino 6 foi configurado como CAP1 (onde chega o sinal de sincronismo) e os pinos 9, 10, 11 e 12 como PWMs (PWM1, PWM2, PWM3 e PWM4 respectivamente). Do conector P8 foi utilizado o pino 2 como IOPD1, pino responsável por habilitar os pulsos PWMs para as chaves. Os pinos utilizados para conectar o DSP com os periféricos estão descritos no APÊNDICE E.

c) Configuração da Conversão A/D:

O conversor A/D foi configurado para realizar duas conversões em sequência nos canais de entrada CONV00 e CONV01 lendo a tensão de entrada e a tensão de saída, através dos pinos 2 e 4 do conector P1 do kit. Os valores digitalizados são salvos nos registradores RESULT0 e RESULT1 respectivamente.

O registrador MAXCONV define o número de conversões a ser realizada e em CHSELSEQ1 e CHSELSEQ2 os canais utilizados pelo conversor A/D. Já no registrador ADCTRL1 configura-se o *reset* do A/D, a prioridade da interrupção e os modos de operações.

As conversões são iniciadas quando o GP timer 1 finaliza uma contagem. No registrador ADCTRL2 é possível determinar o início da conversão A/D por um evento no EVA que neste caso é o GP timer 1. Outra configuração importante nesse registrador é a habilitação de interrupção (INT_ENA_SEQ1). No momento em que o conversor A/D digitaliza as variáveis o *flag* INT_FLAG_SEQ1 indica o início de uma interrupção. Esse *flag* é zerado dentro da interrupção para habilitar as próximas interrupções.

d) Gerenciamento de Eventos:

A definição dos pulsos de comando para as chaves é realizada através dos PWMs do gerenciador de eventos A. Para isso, o Timer 1 foi configurado para operar em uma frequência de 19200 Hz (registrador T1PR), implicando em 320 períodos de chaveamento por período de rede. O timer foi configurado para contar no modo contínuo crescente (registrador COMCONA), e para disparar a conversão A/D no “*underflow*”. Com o registrador ACTRA definimos se o PWM é ativo por nível lógico alto ou baixo e ainda força-lo a ficar em algum destes níveis.

No registrador DBTCONA é definido o tempo morto, tempo este gerado na inversão dos PWMs complementares evitando curto circuito nos braços do conversor. Foi configurado um tempo morto de 900n segundos. Para variar a largura de pulso do sinal PWM basta modificar o valor de comparação (CMPRx), pois os sinais são ativados quando o contador (Timer) passa por este valor de comparação. Na Fig. 48 segue os sinais envolvidos na geração dos pulsos PWM.

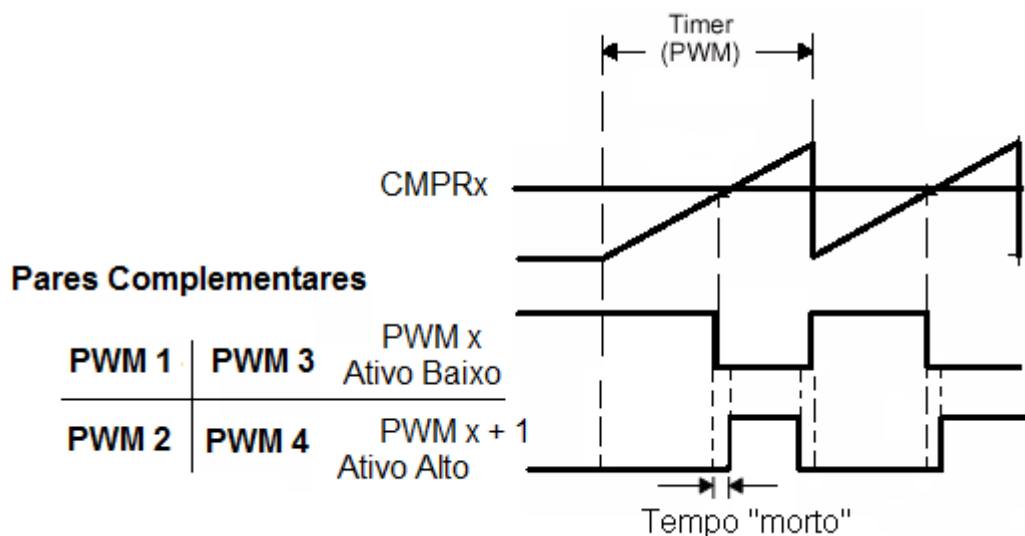


FIGURA 48 – Comportamento dos PWMs

e) Interrupções:

Utilizam-se no programa duas interrupções (A/D e CAP1).

A interrupção CAP1 por ser a mais importante tem prioridade maior que a interrupção A/D. Isso se dá devido ao sinal de sincronismo estar ligado no pino CAP1 e este pino ter sido configurado, no registrador CAPCONA, para gerar uma interrupção a cada mudança de estado. Assim sempre que houver uma mudança no ciclo da rede elétrica, o programa entrará em uma interrupção de alta prioridade, pois como dito anteriormente, o acionamento das chaves é feito em função do semi-ciclo da rede.

Como segunda interrupção utilizada é a interrupção A/D, mas essa foi configurada como de baixa prioridade.

As interrupções são configuradas através dos registradores IFR, IMR e INTM. As interrupções dos gerenciadores de eventos foram desabilitadas pela configuração dos registradores EVAIFRA, EVAIFRB, EVAIFRC, EVBIFRA, EVBIFRB e EVBIFRC.

Abaixo na Fig. 49 apresenta-se o fluxograma geral do processo. Como pode ser visto a interrupção A/D leva a um estágio em que está apenas escrito "CONTROLE", este bloco é diferenciado para cada um dos dois controles projetados, que serão explicados mais a frente.

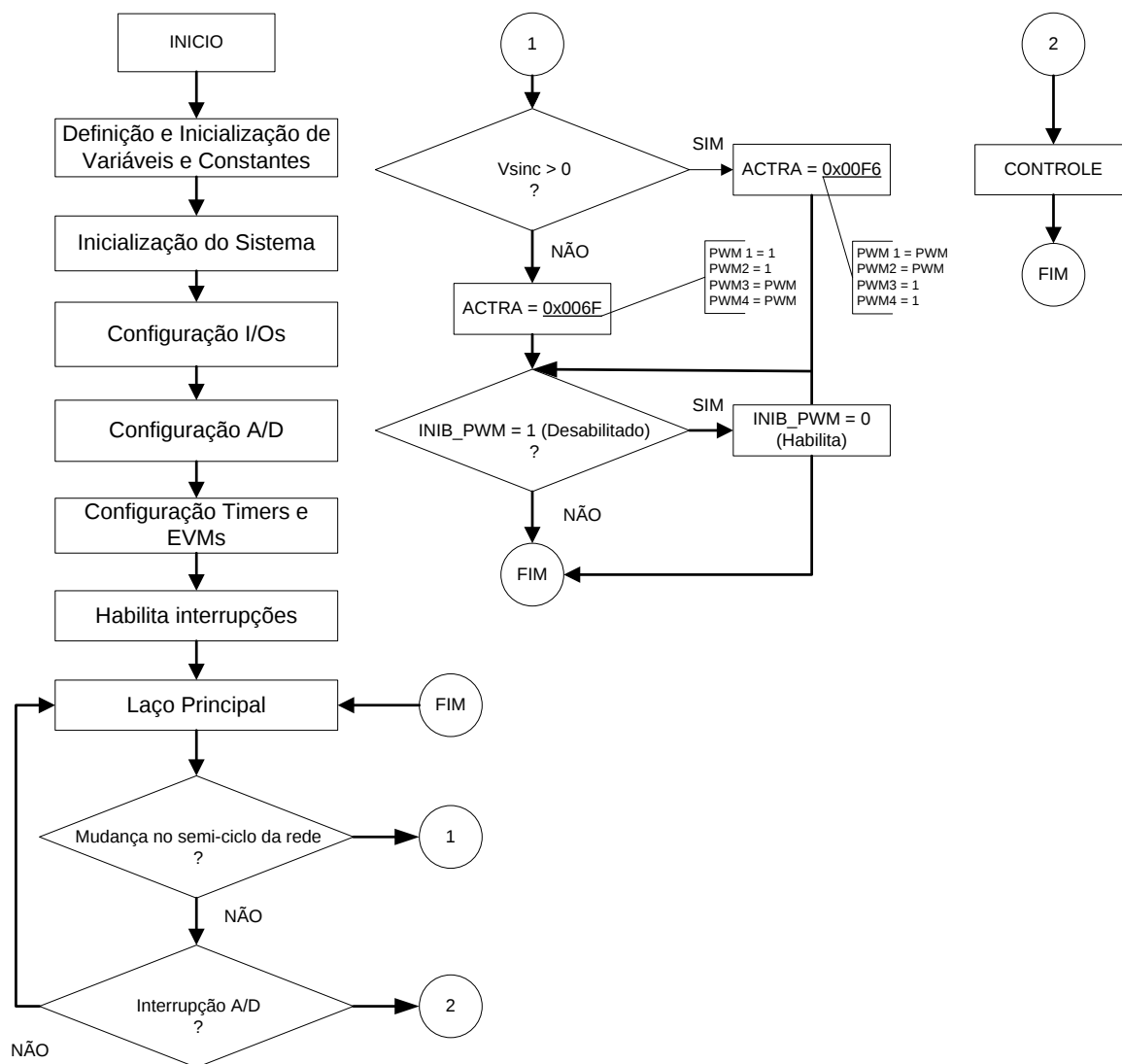


FIGURA 49 – Fluxograma Geral

7.2.2 Implementação do Controle Pré-Alimentado

Como dito anteriormente, este controle é mais simples e menos eficiente em relação ao controlador realimentado. Ele necessita de um ciclo inteiro da rede para fazer a medição de seu valor eficaz. Após obter este valor, é feito o cálculo da razão cíclica para aquele valor, ou seja, para cada ciclo da rede elétrica é calculado um valor de razão cíclica para elevar, abaixar ou manter a tensão de saída. No fluxograma da FIGURA 50 apresenta-se este método de controle.

Por atualizar o valor da razão cíclica apenas uma vez a cada ciclo, este controle faz o conversor funcionar apenas como estabilizador, estabilizando a saída em 220 Volts, mas mantendo a forma de onda.

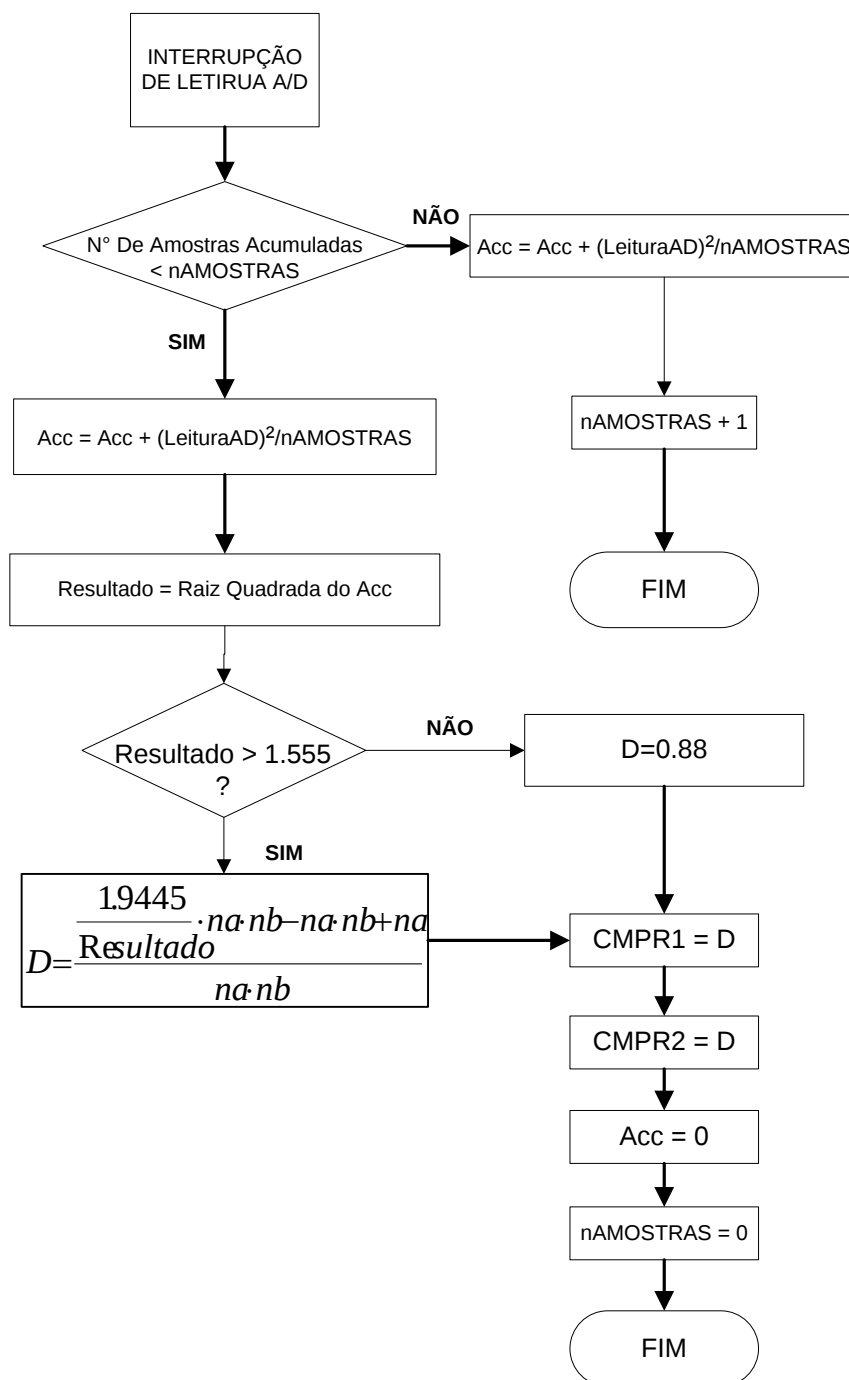


FIGURA 50 – Fluxograma Programação Controle Pré-alimentado

Como pode ser observado na figura acima, antes do cálculo da razão cíclica, D , é testado o valor de *Resultado*. Isto é feito, pois por motivo de segurança o controle só começa a funcionar quando a tensão de entrada passa de 175 Volts (Limite de 20% abaixo de 220 Volts), evitando que o D assuma valores indesejáveis. Assim após calcular o valor eficaz, a razão cíclica só é atualizada se este valor eficaz calculado for maior que 175 Volts. Usa-se 1,555 pois é o número equivalente

dentro do DSP para 175, da mesma maneira que 1,9445 equivale a 220 Volts. Quando se tem 220 Volts na entrada da planta o sensor atenua este sinal para 2,75, assim quando o programa calcula o valor eficaz de 2,75 tem-se 1,9445. Esta relação pode ser dada pela constante 113,137085 ($220/1,9445$).

Como o cálculo do valor eficaz é essencial para este controlador, antes de ligar a parte de potência, foi verificado no Code Composer o valor eficaz medido e o cálculo da razão cíclica. Abaixo, na Fig. 51, apresenta-se o teste feito, em que foram monitoradas as variáveis *fValorEficazVi* e *fD*, que seriam respectivamente as variáveis que contêm o cálculo do valor eficaz da entrada e o cálculo da razão cíclica.

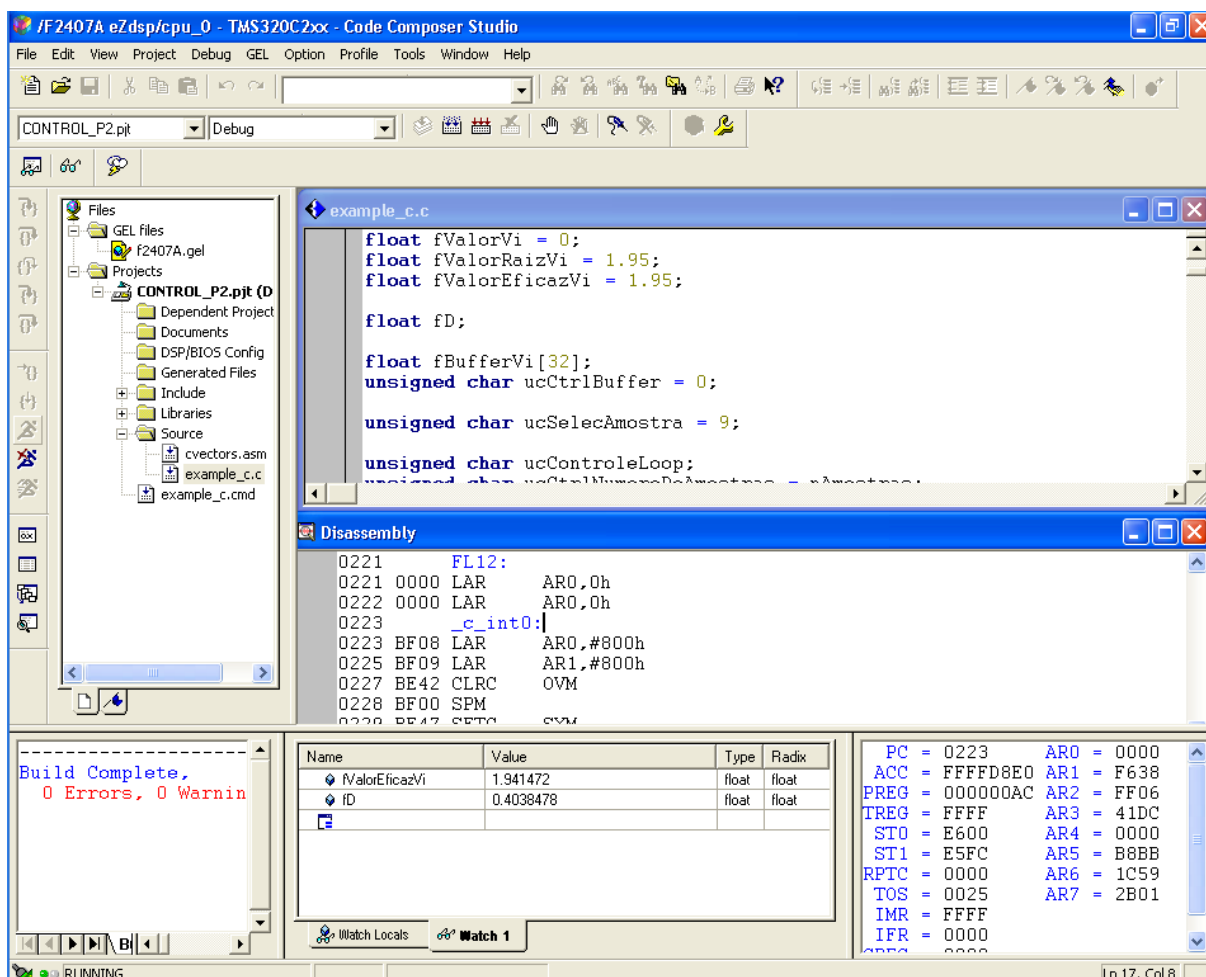


FIGURA 51 – Testes no Conde Composer (Controle Pré-alimentado)

Como pode ser observado para uma entrada de 220 V o valor eficaz calculado no DSP foi de 1,941472 e a razão cíclica de 0,4038478 próximo do valor esperado que é de 1,9445 e 0,4 respectivamente.

7.2.3 Implementação do Controle Realimentado

Este controle se mostra mais eficiente que o outro porque ele não apenas corrige o valor eficaz do sinal de entrada, V_i , mas corrige a forma de onda. Devido o valor da razão cíclica ser calculada ponto a ponto da senoide (no caso 320 pontos).

O valor medido da saída tenta a seguir uma referência, uma tabela de 320 pontos criada no MATLAB. (O programa feito no MATLAB que constrói esta tabela de pontos (referencia), pode ser observado no APÊNDICE F).

A implementação deste controle foi realizada em linguagem assembly devido ao pouco tempo para os cálculos ($50\mu s$) e a complexidade dos cálculos. As variáveis consideradas no programa estão no formato Q15, com valores entre -1 e 1, pois desta forma os resultados das operações de produto ficam limitados dentro desta faixa de operação (BATISTA, 2006).

Assim por trabalhar no formato Q15 as variáveis são multiplicadas por 2^{15} para entrar neste formato. Assim, por exemplo, o valor 0.08 (razão cíclica mínima) calculado em C no formato Q15 é representado por 2621.

Uma das preocupações foi com o valor de $u[k]$ calculado na equação a diferenças. Como esta variável é a responsável pelo cálculo da razão cíclica e esta tem uma faixa de operação fixa de 0,08 à 0,88, esta variável, $u[k]$, também deve manter seus valores entre limites. Assim, por medida de segurança, após o cálculo de $u[k]$ o mesmo é testado limitando-o na faixa de operação desejada, que é de 2621 ($0,08 \times 2^{15}$) à 28835 ($0,88 \times 2^{15}$).

Abaixo na Fig. 52 encontra-se o fluxograma deste controle realimentado.

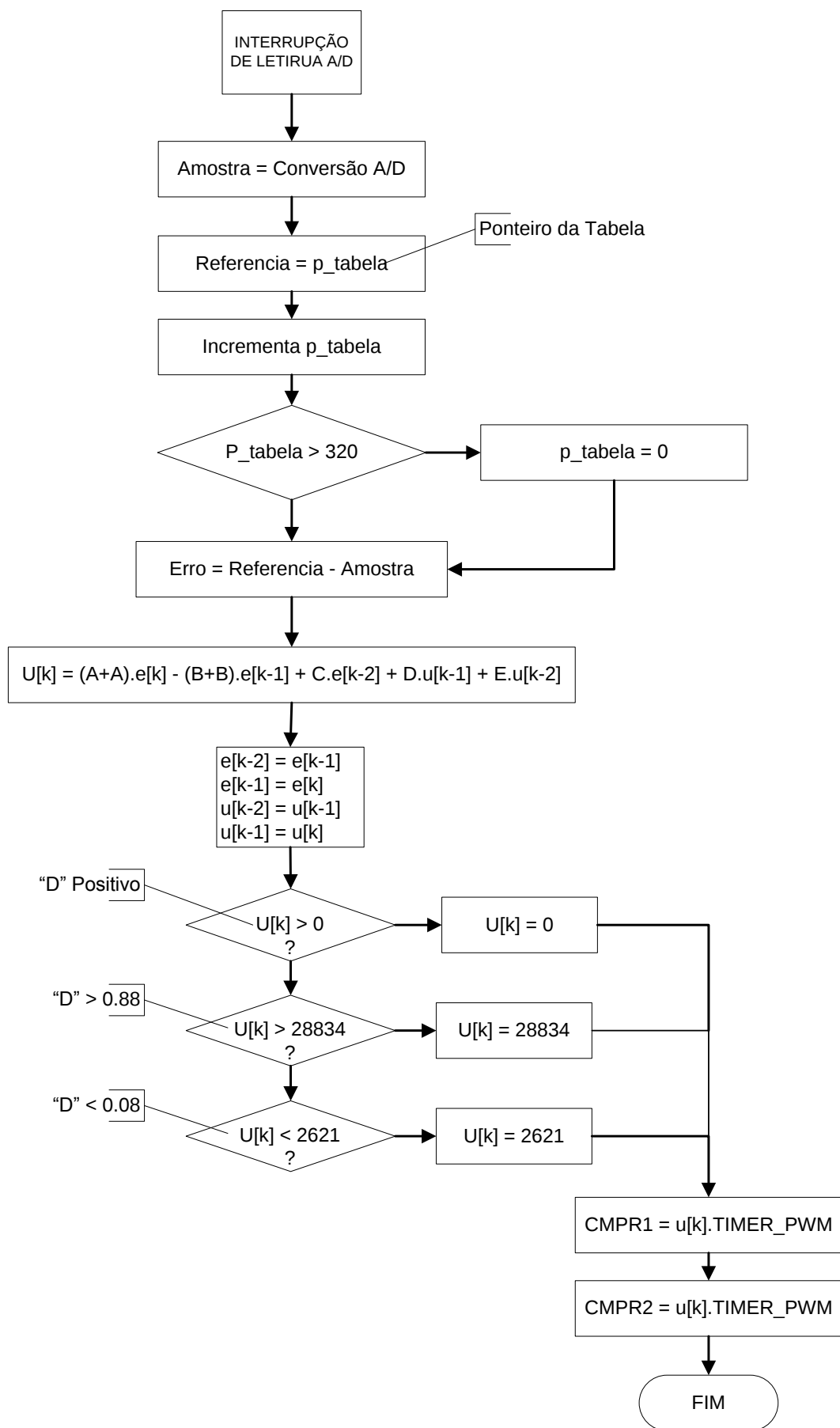


FIGURA 52 - Fluxograma Programação Controle Realimentado

Como pode ser visto no fluxograma da Fig. 52 o cálculo do erro é a diferença entre o valor amostrado da saída e o valor carregado da tabela, assim a tabela não pode conter erros. Antes de testar este controle, foi verificado com o programa em execução, os valores que eram lidos cada vez que fosse amostrado um valor da saída. Este teste pode ser observado na Fig. 53, onde na janela “Graphical Display” é visualizado os valores da tabela de referência.

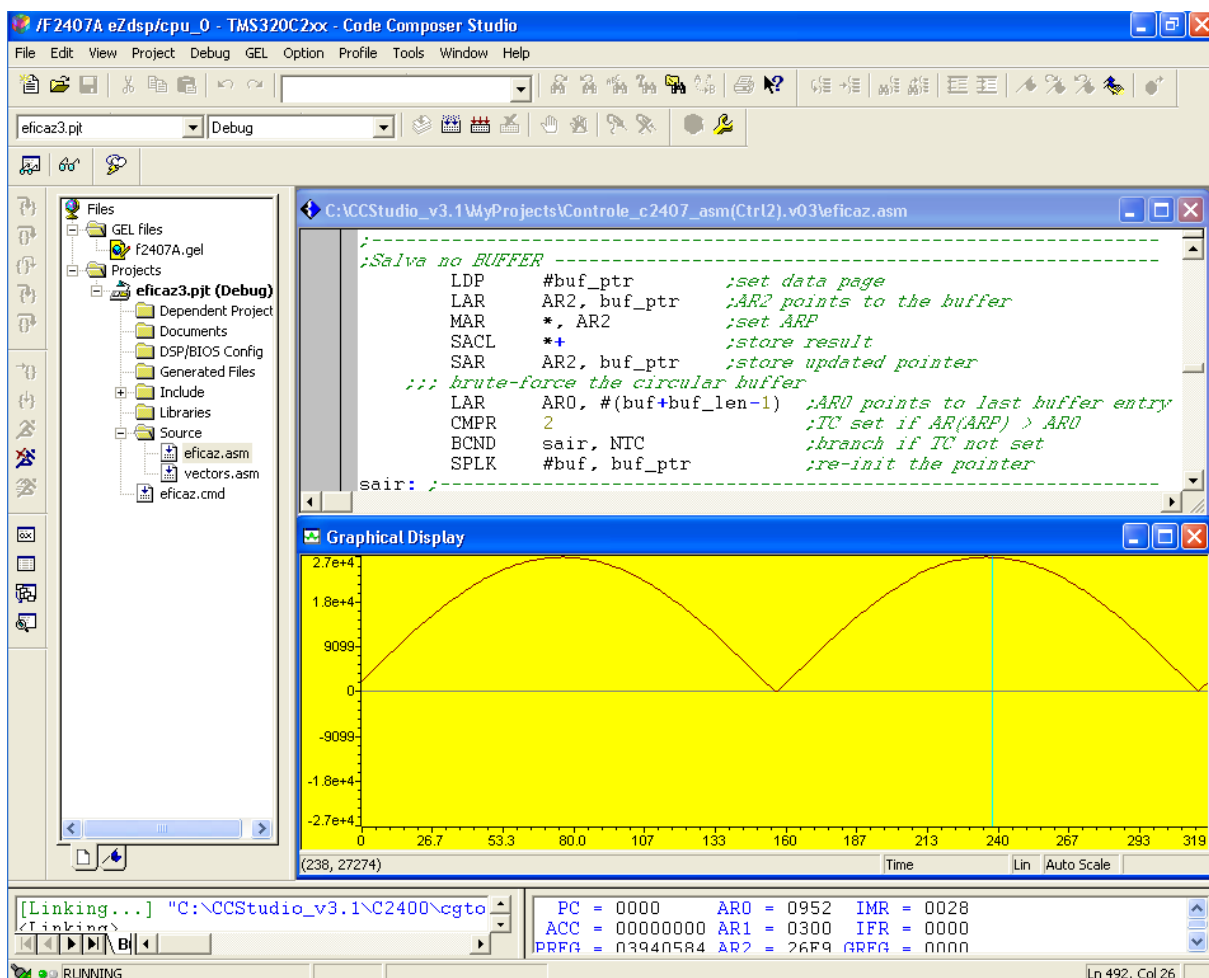


FIGURA 53 – Testes no Conde Composer (Controle Realimentado)

Como pode ser observado no gráfico da Fig. 53 o valor de pico é de 27000. Sabendo que o valor da saída amostrada deve ter um pico de 1,94438 , mas como trabalhamos no formato Q15 este valor é dividido por 3,3 (deixando-o entre 1 e -1) e depois é multiplicado por 2^{15} , o valor de pico amostrado no formato Q15 é de 27304, mesmo número de pico visto no gráfico acima. Assim conclui-se que a tabela foi gerada corretamente, pois seu valor de pico, mostrada no gráfico, coincide com o valor de pico que a saída deveria estar.

Outro ponto importante é com relação a implementação da equação a diferenças. A parte do programa responsável para o cálculo de $u[k]$ segue abaixo, na Fig. 54.

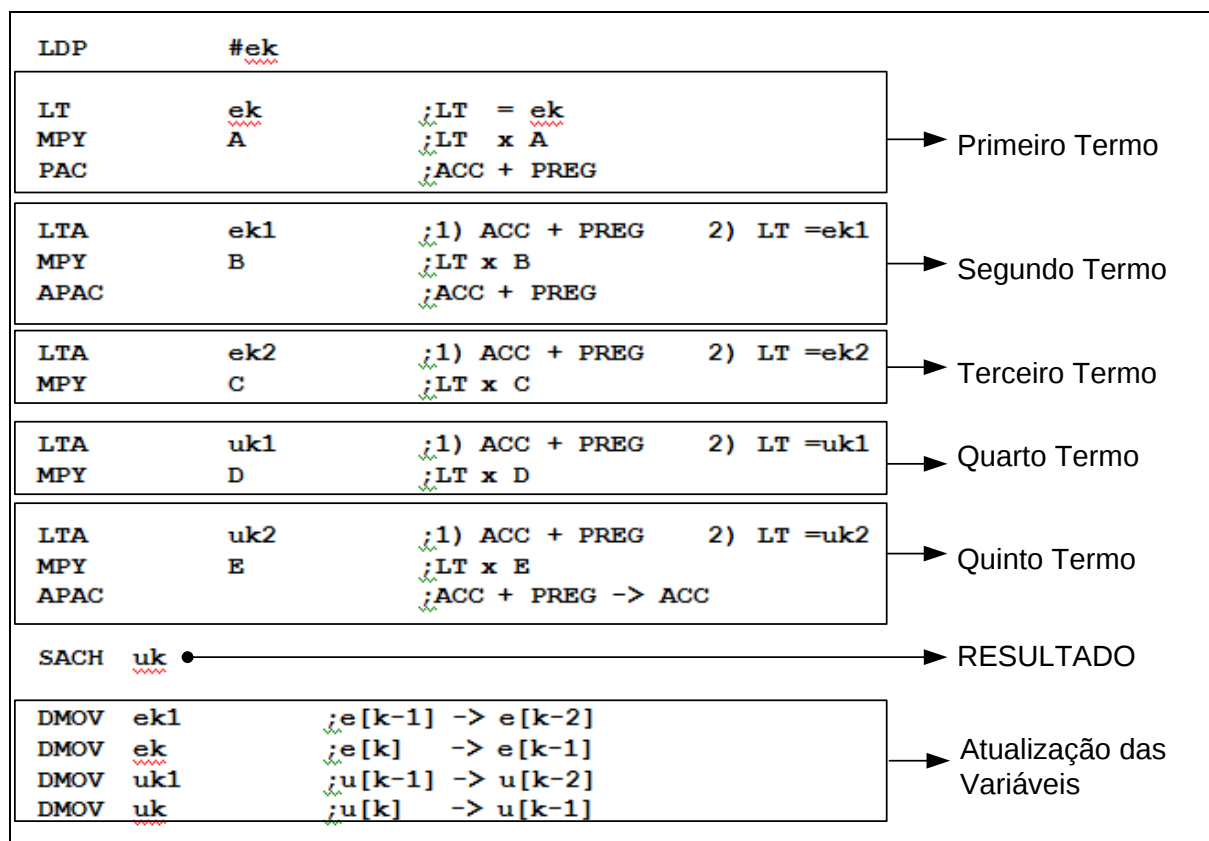


FIGURA 54 – Equação a Diferenças (Programação .asm)

Assim no início do programa são definidos as constantes A, B, C, D e E. Para ficar no formato Q15 as constantes maiores que maiores que 1 são divididas por 2, logo a equação a diferença apresentado na FIGURA 54 encontra-se abaixo.

$$u[k] = (A + A).e[k] + (B + B).e[k - 1] + C.e[k - 2] + D.u[k - 1] + E.u[k - 2]$$

(50)

Como pode ser observado, os blocos em que é calculado cada termo, estão em destaque. Alguns códigos *assembler* valem ser comentados:

- LT – Carrega no registrador LT o valor a sua frente.
- MPY – Multiplica LT pelo valor a sua frente.
- APAC – Soma o PREG (Registrador do Produto) com o valor do acumulador e salva no acumulador.
- LTA – APAC + LT
- DMOV – Desloca uma posição de memória para baixo.

Os termos que foram divididos para ficarem no formato Q15 após a multiplicação são seguidos por um APAC e LTA, já os termos que já estavam entre 1 e -1, que não foram divididos, após a multiplicação serão seguidos apenas por LTA. Assim, no primeiro caso, o resultado da multiplicação (PREG) é somado duas vezes com o acumulador, e no segundo caso o resultado é somado apenas uma vez.

Após calculada a *equação a diferenças* o resultado que se encontra no acumulador (ACC) é salvo na variável **uk**. Em seguida os valores das variáveis utilizadas na equação são atualizados.

7.3 CARGA RESISTIVA

Para teste do conversor era necessário o uso de cargas em sua saída. Por ser um conversor de 1000 watts, a maneira encontrada para construir uma carga que consumisse esta potência foi utilizando lâmpadas incandescentes.

Utilizando 5 lâmpadas incandescentes de 200 watts ligadas em paralelo, chega-se a 1000 watts totais. Abaixo, na Fig. 55, pode ser observado o esquemático do banco de cargas.

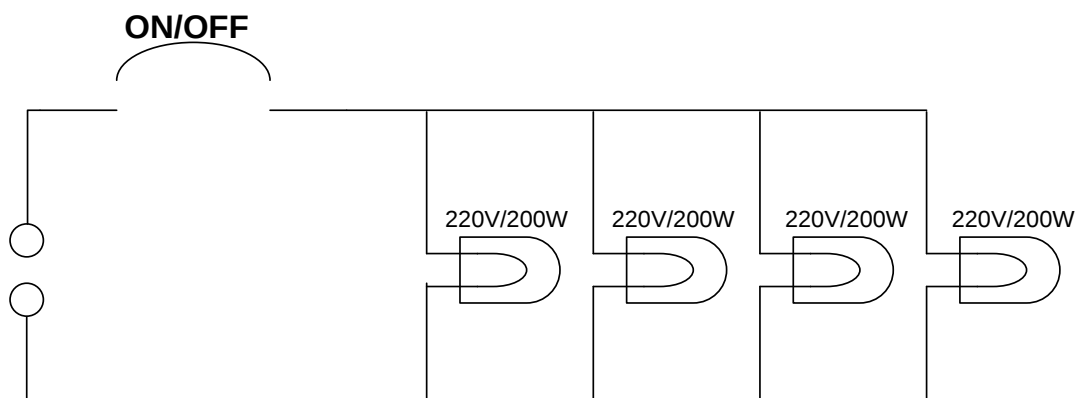


FIGURA 55 – Esquemático do Banco de Cargas

Dentre as vantagens de utilizar lâmpadas destacam-se: preço; carga resistiva; fácil variação de carga. Na Fig. 56 apresenta-se o banco de cargas que foi projetado.



FIGURA 56 – Banco de Cargas (1000 watts)

7.4 POTÊNCIA, HARDWARE DE SINAIS e CARGA

Como dito anteriormente, uma das grandes preocupações antes dos testes da parte de potência foi com a montagem do protótipo. Desde o início sempre se procurou documentar bem tudo que era feito, etiquetar fios e conectores para evitar ligações erradas, usar conectores rígidos e firmes para que não ocorresse nenhuma desconexão inesperada. O protótipo final é apresentado na Fig. 57.

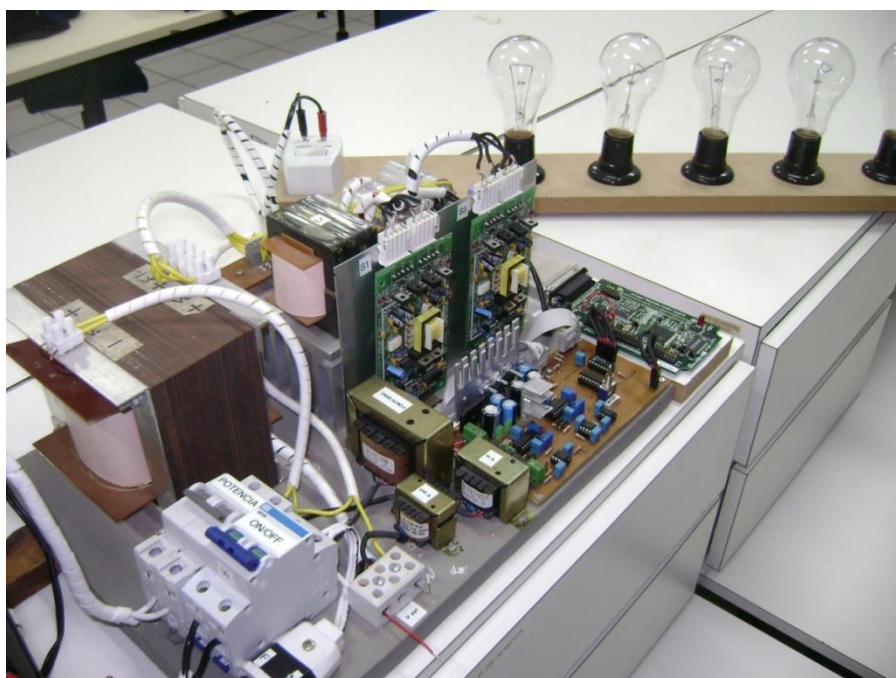


FIGURA 57 – Protótipo Final

8 METODOLOGIA

8.1 METODOLOGIA DA PESQUISA

Pesquisar significa procurar respostas para indagações propostas. Para Kourganoff (1995), pesquisa é o conjunto de investigações, operações e trabalhos intelectuais ou práticos que tenham como objetivo a descoberta de novos conhecimentos, a invenção de novas técnicas e a exploração ou a criação de novas realidades.

Assim, dentre as várias modalidades de pesquisas, neste trabalho será aplicada a pesquisa quantitativa do tipo exploratória.

Segundo Minayo (1994), a pesquisa quantitativa representa o espaço científico, porque o traduz em “objetividade” e em “dados matemáticos”. Assim, este trabalho terá início com uma pesquisa sobre conceitos e formas de cálculo do valor eficaz. Após definida a forma de cálculo de valor eficaz, serão testadas diferentes formas de onda em um *software* computacional, levantando, assim, tabelas comparativas entre os valores eficazes dos sinais simulados no *software* e os calculados manualmente, para verificar a eficiência do algoritmo elaborado.

Utilizando um processador de sinais digitais (DSP), foram implementados, na prática, os algoritmos testados anteriormente. Esses algoritmos foram feitos em linguagem C e *assembly* para que fossem levantadas tabelas contendo: tempo de cálculo e erro médio das duas linguagens.

A partir do protótipo de um conversor CA/CA, foi realizada a modelagem matemática do mesmo e, com essa modelagem, foram feitos estudos de métodos de controles. Assim, os que se mostraram eficientes foram implementados em um processador de sinais digitais (DSP). Os testes do estabilizador de tensão tiveram como produtos gráficos e tabelas. Dessa forma, estabeleceu uma conexão entre o modelo teórico proposto e os dados obtidos na prática, daí o enfoque quantitativo do trabalho.

Para a pesquisa bibliográfica, os tópicos essenciais foram: estabilizadores de tensão – conceito, configurações e tipos; NBR 14373; valor eficaz – conceito e formas de cálculo; e fontes chaveadas (Conversores CA-CA).

8.2 METODOLOGIA DO TRABALHO

Para uma melhor organização e desenvolvimento deste trabalho, foi feito inicialmente um cronograma contendo tarefas e tempo de execução de cada uma delas. No decorrer dos trabalhos alguns itens demandaram mais tempo que os outros, mas seguindo este cronograma o trabalho se mostrou mais seguro, pois manteve-se o foco.

Após a pesquisa bibliográfica, foram elaborados programas de medição de valor eficaz, onde foram testados inicialmente em *software* computacionais e depois no DSP.

Em seguida, foi realizado um estudo do conversor utilizado e técnicas de modulação para acionamento das chaves do mesmo foi feito. Com a elaboração de um programa no DSP de modulação, foram feitos ensaios do conversor em malha aberta.

Concluída esta etapa, iniciou-se o estudo de técnicas de controle nas quais as que se mostram mais eficientes foram implementadas em *software*, e após validadas, testadas no conversor verificando sempre: resposta transitória; erro em regime permanente; entre outros.

Todas as etapas citadas acima foram documentadas no decorrer dos trabalhos, para assim auxiliar na redação do trabalho de conclusão de curso (TCC) e em possíveis publicações de artigos.

9 RESULTADOS EXPERIMENTAIS

Nesta seção serão apresentados os resultados obtidos. Para melhor análise serão divididos em:

- Malha Aberta.
- Controle Pré-Alimentado.
- Controle Realimentado.

Os testes seguiram a mesma metodologia para todos os controladores. É variada a tensão de entrada (175 V, 198 V, 220 V e 245 V) e variada a carga (0W, 200W, 600W e 1000W), monitorando sempre a tensão de entrada, a tensão de saída e a corrente na carga. Em alguns testes são levantados o conteúdo harmônico (THD) da entrada e saída, com o intuito de saber se o condicionador de tensão melhora a forma de onda da tensão.

Para ter um comparativo mais próximo do cotidiano, são realizados os mesmo testes com um estabilizador comercial. Foi escolhido o modelo Millennium IIN mono 115V (do fabricante TsShara), cuja imagem pode ser vista na Fig. 58.



FIGURA 58 – Estabilizador Comercial

9.1 MALHA ABERTA

Para testar o conversor em malha aberta, foi calculado manualmente o valor da razão cíclica para cada tensão utilizada nos teste e variou-se a carga. Abaixo na Tabela 08 podem-se observar os valores obtidos.

TABELA 08 – Resultados: Malha Aberta

Vi [V]		0 [W]		200 [W]		600 [W]		1000 [W]	
		Vo [V]	Erro [%]	Vo [V]	Erro [%]	Vo [V]	Erro [%]	Vo [V]	Erro [%]
80%	176	220	0	217	1,3636	215	2,2727	213	3,1818
90%	198	221	0,4545	219	0,4545	216	1,8182	215	2,2727
100%	220	220	0	219	0,4545	216	1,8182	214	2,7273
110%	242	220	0	218	0,9091	213	3,1818	210	4,5455
Erro Médio [%]		0		0,681818182		2,045454545		2,954545455	

Como pode ser observado, em malha aberta, o erro médio do conversor manteve-se abaixo do limite imposto pela norma que é de 6%. Sendo seu maior erro individual de 4,5%.

Na Fig. 59 apresenta-se a atuação do condicionador de tensão para uma entrada 20% abaixo de 220 V, mostrando seu funcionamento como elevador de tensão.

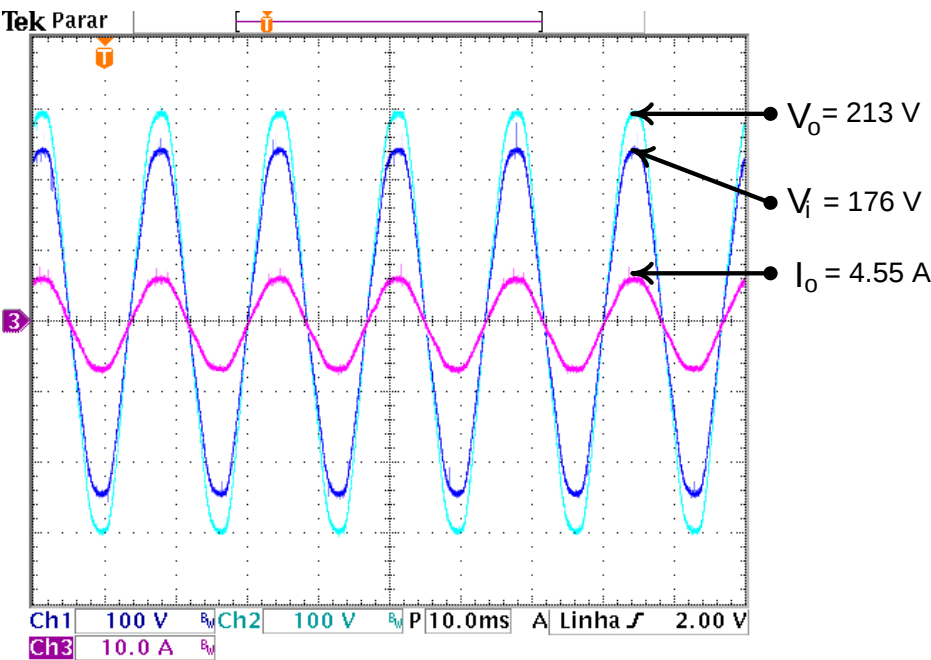


FIGURA 59 – Teste Malha Aberta (Elevador)

Já na Fig. 60 o conversor está funcionando como abaixador, pois na entrada tem-se uma tensão acima do valor desejado.

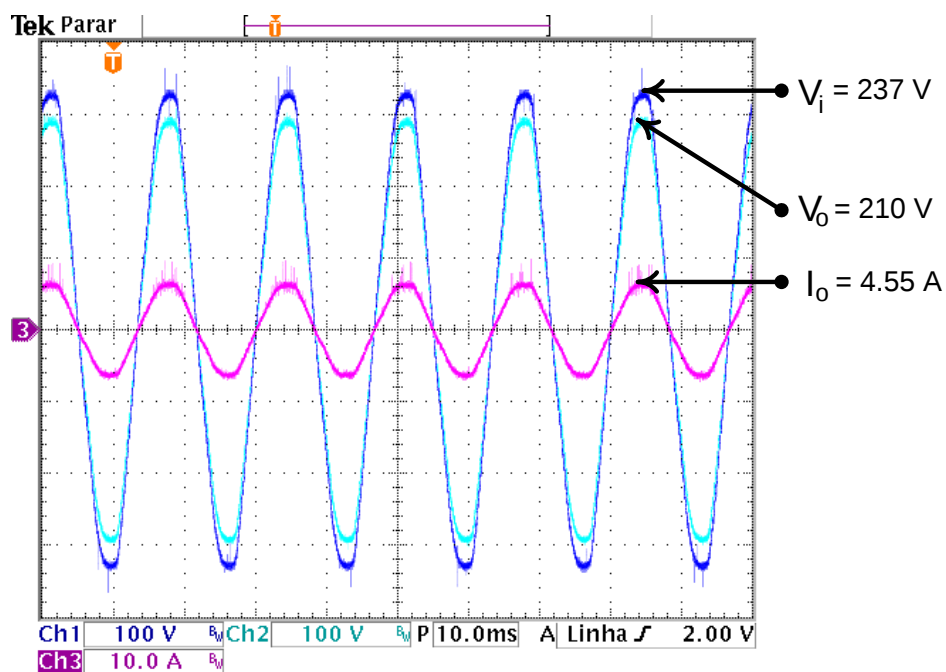


FIGURA 60 – Teste Malha Aberta (Abaixador)

Deve-se ressaltar que um estabilizador em malha aberta não teria grande utilidade, pois sua função é manter a saída estabilizada quando ocorrer variações na entrada ou de carga. Estes testes foram realizados para servir de comparativo com os outros métodos e para testar inicialmente a parte de potência com mais segurança.

9.2 CONTROLE PRÉ-ALIMENTADO

Os procedimentos de teste foram os citados anteriormente, foi variada a tensão de entrada para diferentes cargas. Na Tabela 09 podemos ver os resultados obtidos:

TABELA 09 – Resultados: Controle Pré-alimentado

Vi [V]		0 [W]		200 [W]		600 [W]		1000 [W]	
		Vo [V]	Erro [%]	Vo [V]	Erro [%]	Vo [V]	Erro [%]	Vo [V]	Erro [%]
80%	176	219	0,4545	216	1,8182	215	2,2727	213	3,1818
90%	198	219	0,4545	218	0,9091	215	2,2727	214	2,7273
100%	220	215	2,2727	214	2,7273	212	3,6364	211	4,0909
110%	**242	215	2,2727	211	4,0909	212	3,6364	208	5,4545
Erro Médio [%]		1,363636364		2,272727273		2,954545455		3,636363636	

Mantendo-se dentro da margem permitida pela norma (+/-6 %), este controlador se mostrou bastante eficiente. Em um dos casos particulares chegou-se a 5.45% de erro, isso pode ser melhorado fazendo um ajuste fino no sensor de tensão, pois se o sensor estiver lendo um resultado acima ou abaixo do esperado, o resultado final será diferente.

Na Fig. 61 apresenta-se o controlador funcionando como abaixador de tensão. Mesmo com a tensão da entrada estando com 237 V a tensão de saída se mantém estável em 208 V.

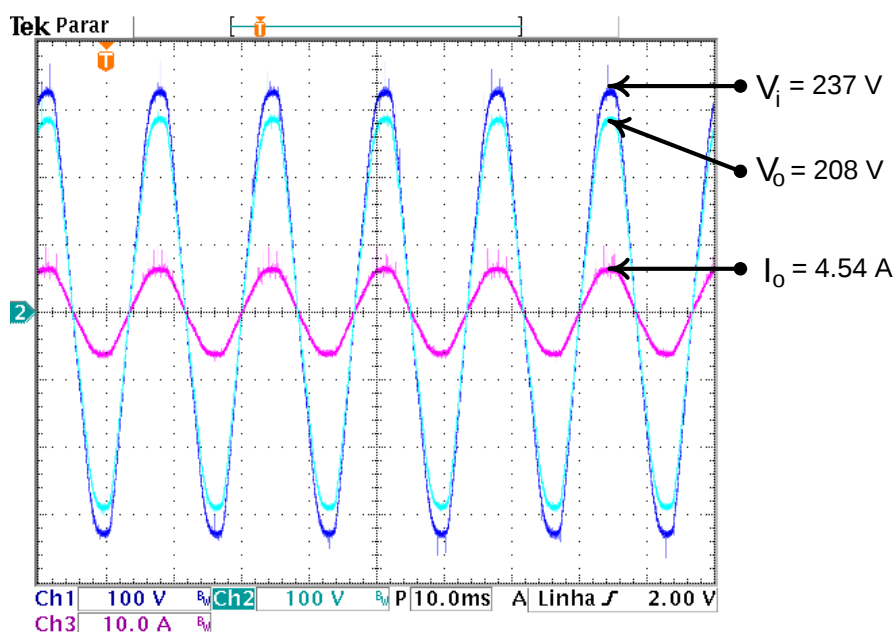


FIGURA 61 – Teste Controle Pré-alimentado (Abaixador)

Apresenta-se na Fig. 62 o controlador funcionando como um elevador de tensão.

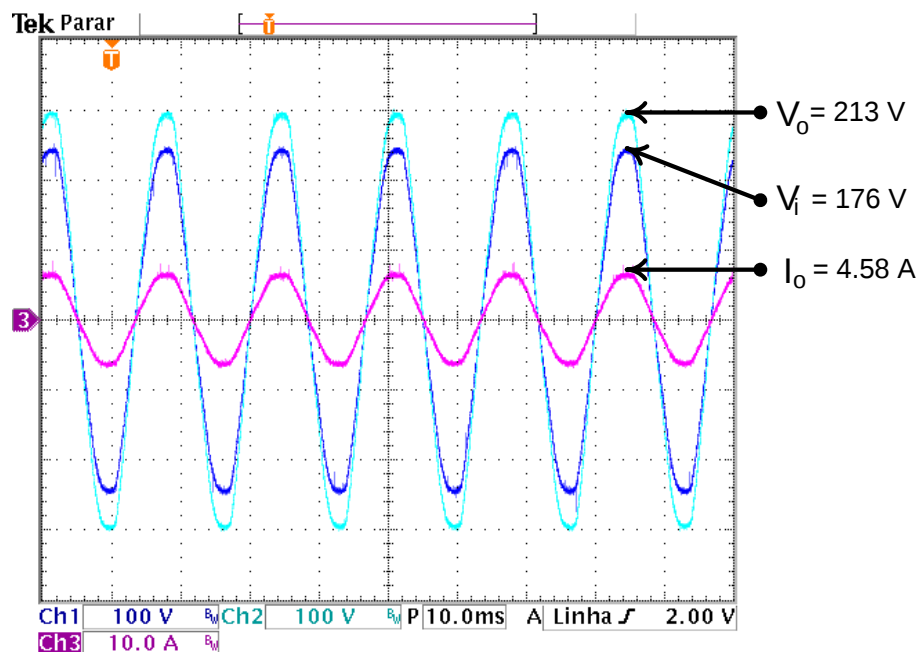


FIGURA 62 – Teste Controle Pré-alimentado (Elevador)

Neste acaso além dos sinais de entrada e saída, foi calculado também seu conteúdo harmônico (THD), que pode ser visto na Fig. 63.

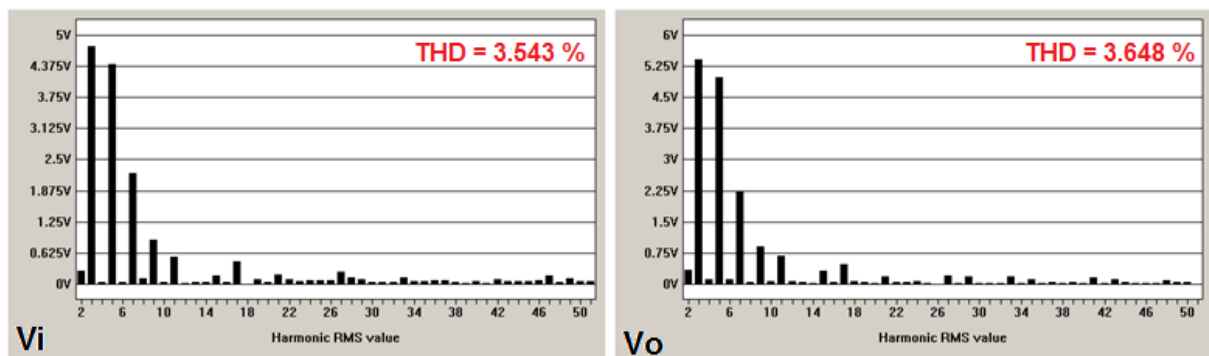


FIGURA 63 – THD do Controlador Pré-alimentado

Como esperado o THD da saída manteve-se praticamente igual ao da entrada. Isto ocorre devido este controlador atualizar sua razão cíclica apenas uma vez a cada período de rede, assim todo conteúdo harmônico da entrada passa para a saída.

9.3 CONTROLE REALIMENTADO

Projetado em assembly e utilizado de um método de controle por realimentação da saída, este controlador monitora ponto a ponto a senoide. Na Tabela 10 apresenta-se os resultados obtidos com este controlador.

TABELA 10 – Resultados: Controle Realimentado

Vi [V]		0 [W]		200 [W]		600 [W]		1000 [W]	
		Vo [V]	Erro [%]	Vo [V]	Erro [%]	Vo [V]	Erro [%]	Vo [V]	Erro [%]
80%	176	216	1,8182	215	2,2727	213	3,1818	212	3,6364
90%	198	217	1,3636	218	0,9091	219	0,4545	219	0,4545
100%	220	218	0,9091	218	0,9091	219	0,4545	219	0,4545
109%	236	218	0,9091	218	0,9091	218	0,9091	218	0,9091
Erro Médio [%]		1,136363636		0,909090909		0,681818182		0,681818182	

Podemos observar que para este controlador o erro médio percentual, quando em carga máxima, chegou a 0,68%. Primeiramente dois pontos devem ser ressaltados:

1. Nos ensaios com Vi em 176 V (80%) foi verificado seu maior erro percentual, isso ocorre porque no programa o controlador só entra em ação a partir desta tensão, logo, nestes casos o controlador não esta atuando, levando assim a um erro um pouco maior.
2. Pode ser observado que a tensão de saída tendeu a manter-se em 219 volts, isso pode ser melhorado fazendo um pequeno ajuste no sensor de tensão.

Nas figuras abaixo, Fig. 64 apresentam-se as formas de onda do controlador atuando como elevador de tensão.

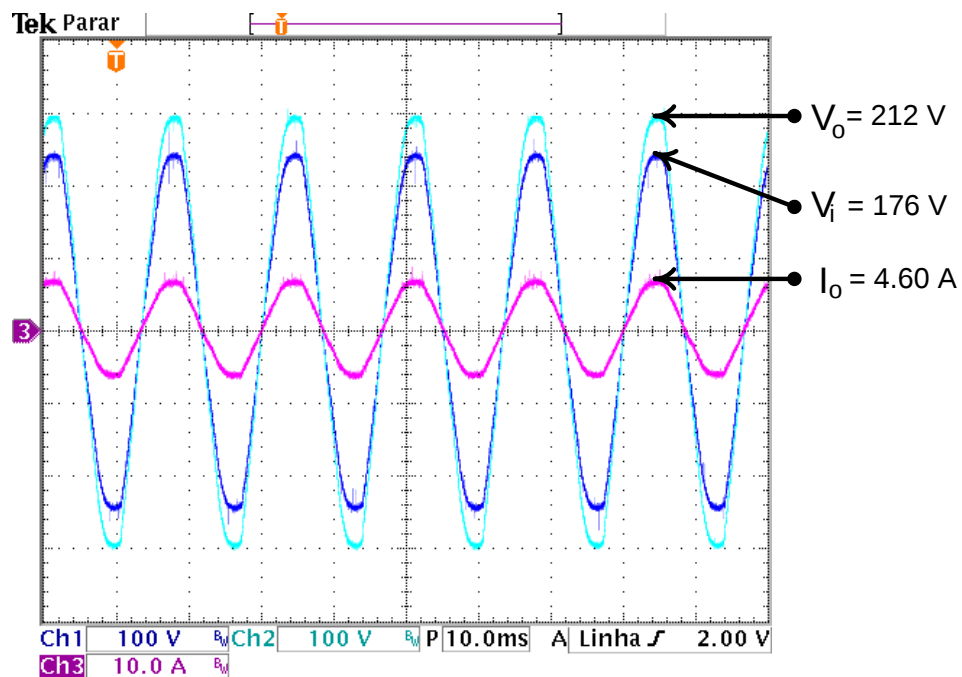


FIGURA 64 – Teste Controle Realimentado (Elevador)

Já na Fig. 65, tem-se as formas de onda do controlador atuando como abaixador de tensão.

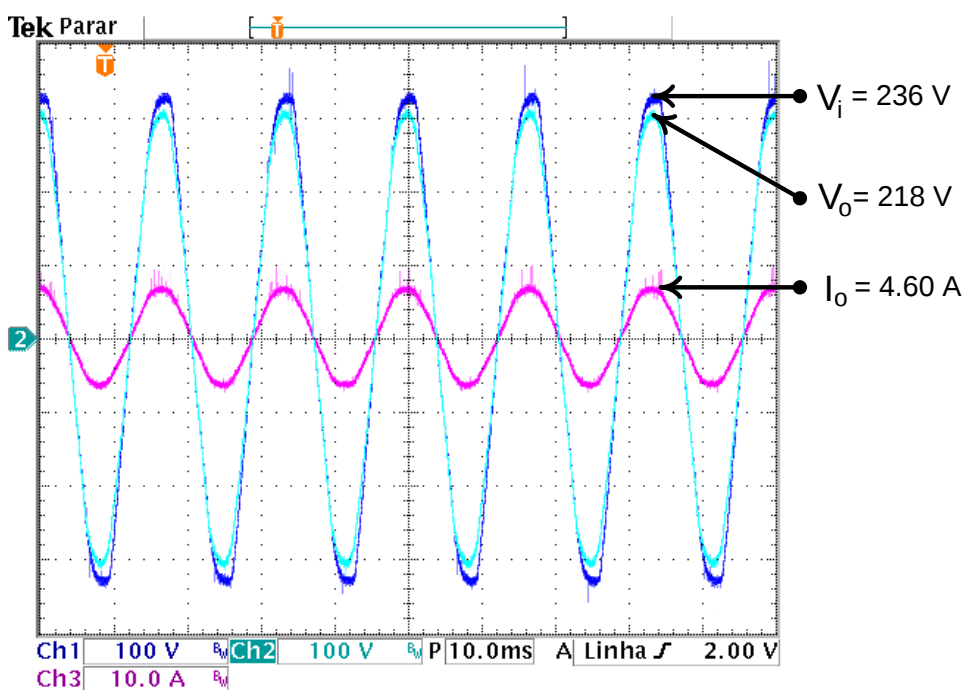


FIGURA 65 – Teste Controle Realimentado (Abaixador)

Para este controlador realimentado foram feitas três medições com relação ao THD, com V_i em 198V, 220V e 236V:

a) $V_i = 198 \text{ V} - 1000 \text{ W}$ (FIGURA 66)

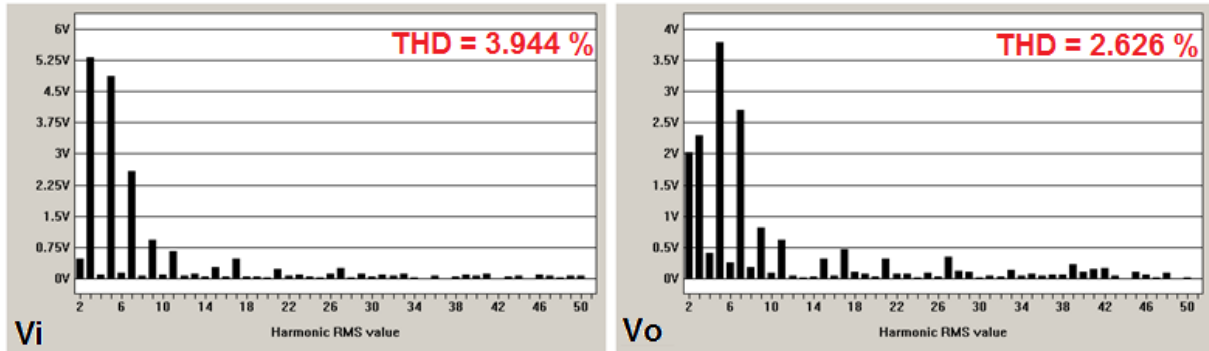


FIGURA 66 – THD Controle Realimentado (198 V)

b) $V_i = 220 \text{ V} - 1000 \text{ W}$ (FIGURA 67)

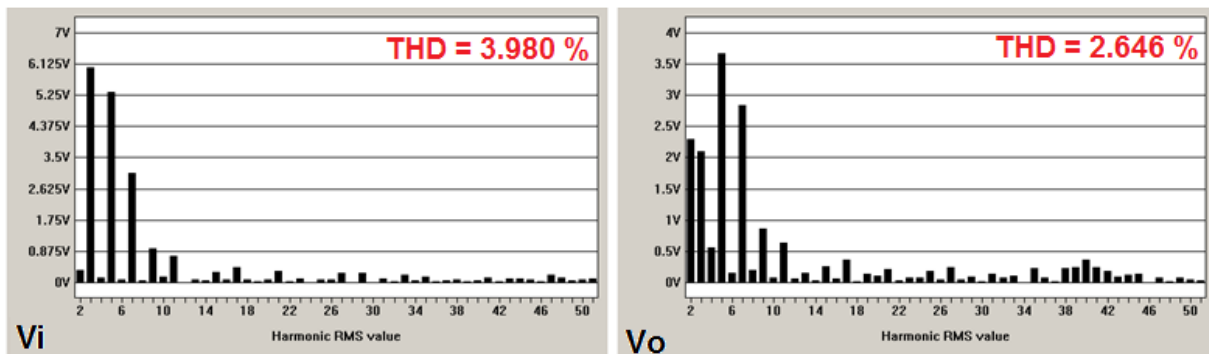


FIGURA 67 – THD Controle Realimentado (220 V)

c) $V_i = 236 \text{ V} - 1000 \text{ W}$ (FIGURA 68)

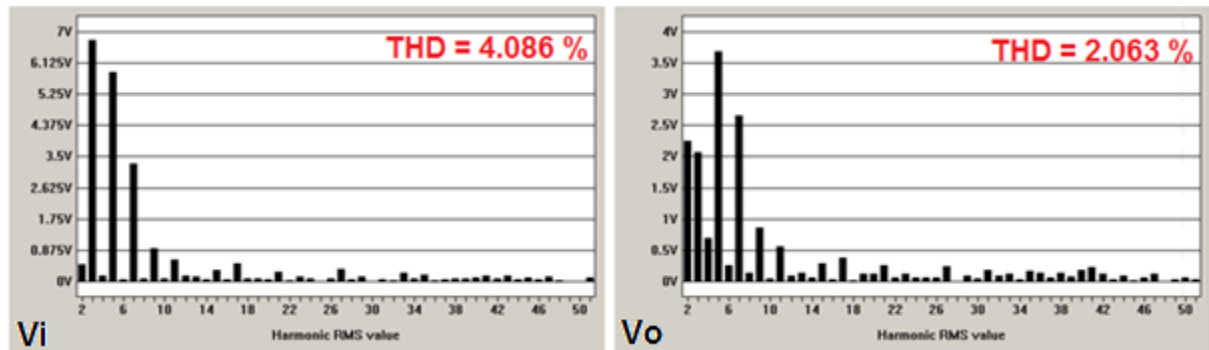


FIGURA 68 – THD Controle Realimentado (236 V)

Observando os testes podemos notar que aumentando a tensão de entrada o sinal de saída continuou sendo corrigido, não apenas seu valor eficaz, mas sua forma de onda também. Sendo que no ultimo ensaio o THD da saída esta metade do THD da entrada.

Para melhor visualização desta melhora na forma de onda, abaixo segue a forma de onda ampliada capturada com o osciloscópio digital. Podemos observar que o sinal de entrada (V_i) esta bem distorcido e o sinal de saída (V_o) possui uma forma de onda mais senoidal.

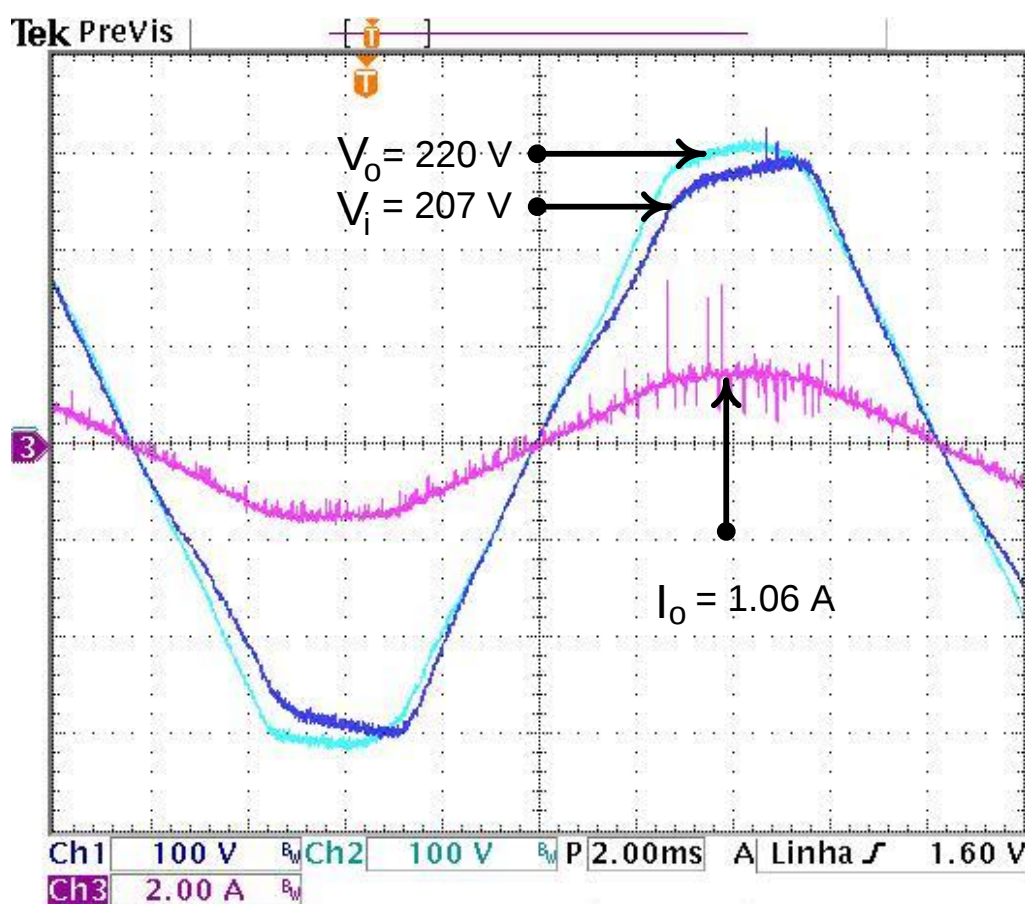


FIGURA 69 – Atuação do Controle Realimentado ($V_i \times V_o \times I_o$)

O tempo de cálculo de cada ação de controle é de $4,675 \mu\text{s}$, ou seja, após gerado a interrupção A/D o DSP utiliza $4,675 \mu\text{s}$ para atuar na planta. Como o tempo de amostragem é de $50 \mu\text{s}$ sobram $45,325 \mu\text{s}$ para executar outras funções.

9.4 ESTABILIZADOR COMERCIAL

Para este teste, como citado anteriormente, foi utilizado o modelo Millennium II N (TsSHARA), com as características principais:

- Potência Nominal = 300 VA
- Tensão nominal de saída = 115 V
- Tensão de entrada = 172 V – 238 V
- Tempo máximo de respostas = 4 semi-ciclos

Abaixo na Tabela 11, apresenta-se os resultados obtidos nos ensaios de laboratório.

TABELA 11 – Resultados: Estabilizador

Estabilizador Comercial (Fabricante TS SHARA)					
Vi [V]		0 [W]		300 [W]	
		Vo [V]	Erro [%]	Vo [V]	Erro [%]
80%	176	115	0	111	3,4783
90%	198	111	3,4783	117	1,7391
100%	220	113	1,7391	119	3,4783
110%	238	124	7,8261	121	5,2174
Erro Médio [%]		2,608695652		3,47826087	

Como podemos ver, apesar do erro percentual médio estar dentro das normas brasileira, teve alguns pontos bastante críticos, chegando até 7.8% de erro (quando Vi = 238 V e 0 W de carga).

Por ser um estabilizador por mudança de relação de transformação, todo conteúdo harmônico injetado na entrada é repassado para a saída. Podemos comprovar isso observando a análise do conteúdo harmônico da FIGURA 70.

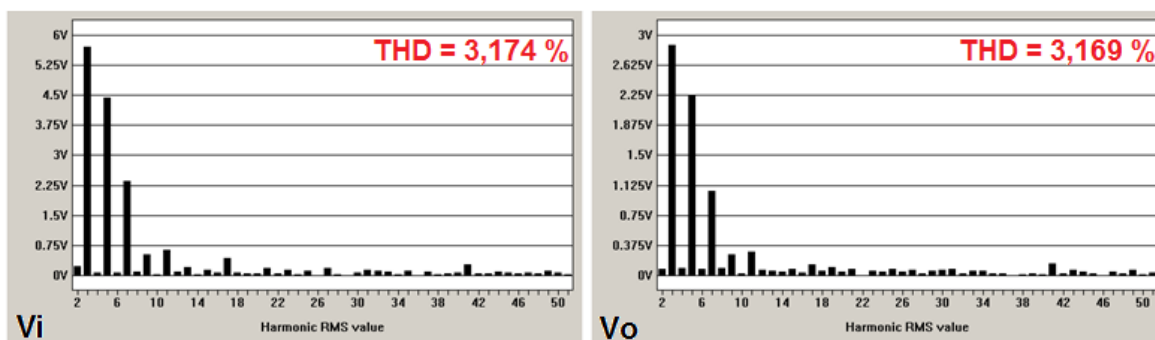


FIGURA 70 – THD do Estabilizador Comercial

Abaixo, pode ser observado o comportamento deste estabilizador comercial funcionando com entrada no limite superior (Fig. 71) e no limite inferior (Fig. 72).

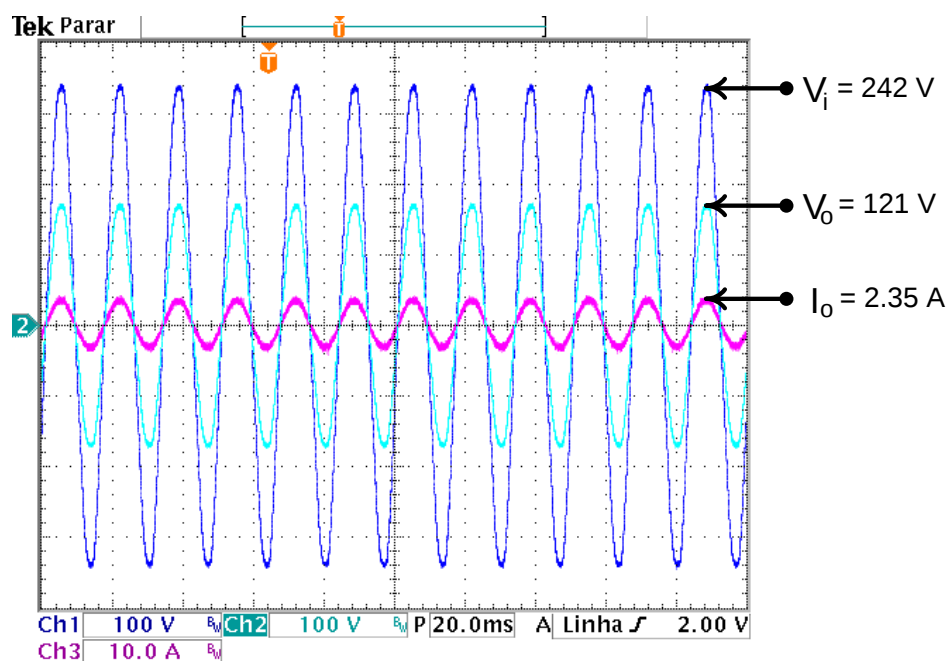


FIGURA 71 – Estabilizador Comercial com V_i máximo

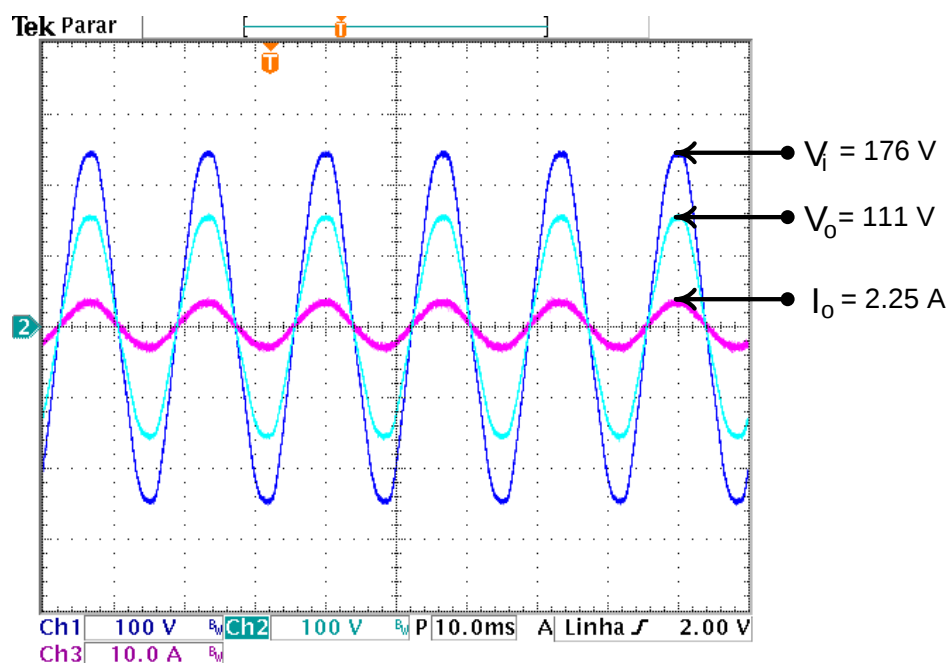


FIGURA 72 – Estabilizador Comercial com V_i mínimo

10 CONSIDERAÇÕES FINAIS

Tendo uma visão geral do projeto pode se dizer que os objetivos foram alcançados com sucesso. Analisando cada tópico principal do projeto tem-se:

I. Medição

As técnicas desenvolvidas e utilizadas para o cálculo do valor eficaz mostraram-se bastante eficientes. Mesmo quando testados com sinais com alto nível de distorção harmônica, os programas desenvolvidos no DSP chegaram a resultados satisfatórios.

II. Modulação

Uma das partes com que se tomou mais cuidado foi com a questão da modulação, pois qualquer acionamento equivocado das chaves poderia ter graves consequências como queima das chaves ou até mesmo do protótipo.

Assim, após feita a devida configuração dos sinais PWMs e sua rotina de segurança no DSP, pôde-se iniciar os testes em malha aberta do conversor. Os resultados obtidos foram de grande importância pois validaram a técnica de modulação e de estratégia de acionamento, e assim também mostrado que o *hardware* de potência estava em perfeitas condições de uso.

III. Controle

Esta era uma das etapas chaves do projeto, em que foram implementados dois tipos de controladores, o Controlador Pré-alimentado e o Controlador Realimentado. O primeiro, apesar de não ser tão eficiente quanto o segundo, manteve seu erro médio de saída abaixo do exigido pela norma brasileira, mas por outro lado apresenta uma programação mais simples podendo ser empregada em micro controladores mais baratos.

O segundo controlador, o Controlador Realimentado, mostrou-se muito eficiente, pois além de estabilizar o valor eficaz da saída, ele diminui a distorção harmônica do sinal, deixando o sinal menos ruidoso. Essa melhora na forma de onda da saída se deve ao controle atuar ponto a ponto da senoide, neste caso 320 pontos.

Todas as etapas citadas anteriormente (Medição; modulação; e controle) foram implementadas no DSP e para validação das técnicas estudadas foram projetados dois controladores para uma conversor CA/CA. Dentre os resultados vale destacar:

- Controle Pré-alimentado: Apenas controla o valor eficaz, assim mantém toda distorção harmônica que se encontrar na entrada. Isto se deve devido ao controle atuar apenas uma vez por período da rede elétrica mantendo assim razão cíclica fixa todo o ciclo.
- Controle Realimentado: Este se demonstrou muito eficiente, com um erro percentual médio abaixo de 1%. Neste método de controle não é necessário o cálculo do valor eficaz, pois existe uma amostragem da saída feita ponto a ponto e o sistema consegue seguir uma referencia senoidal. Por fazer este controle ponto a ponto, este controle além de manter o valor da saída fixo, ainda melhora a forma de onda. Vale ressaltar que esta ação de controle é feita em 4,675 μ s sobrando 45,325 μ s até a próxima amostragem.

A integração do “*Hardware de Sinais*” e a parte de Potência foram feitas cuidadosamente, utilizando sempre conectores firmes e rígidos, e todas as etapas, alterações e conexões novas eram documentadas e o protótipo etiquetado para evitar ligações errôneas. Essa organização trouxe uma segurança tanto para o protótipo quanto para quem o manipulava.

Assim encerra-se este trabalho de modo que todos os objetivos propostos foram realizados e os resultados obtidos foram satisfatórios.

REFERÊNCIAS

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. **NBR 14373.2006** – Estabilizadores de tensão de corrente alternada – Potências até 3kVA, Dez. 2006.

BATISTA, F. A. B. **Modulação Vetorial Aplicada a Retificadores Trifásicos PWM Unidirecionais**. 2006. 297f.. Tese (Doutorado em Engenharia Elétrica), INEP, UFSC, Florianópolis 2006.

BARBI, Ivo; Martins. D. C. **Conversores CC-CC Básicos Não-Isolados**. 2.ed. Florianópolis: Edição dos Autores, 2000.

BARBI, Ivo; Martins. D. C. **Introdução ao Estudo dos Conversores CC-CA**. 1.ed. Florianópolis: Edição dos Autores, 2005.

BARROSO, Leônidas C.; BARROSO, Magali M. A.; CAMPOS, Frederico F.; CARVALHO, Márcio L. B.; MAIA, M. L. **Cálculo Numerico (Com Aplicações)**, 2.ed. Ed. Harbra, 2002

CARDOSO, C. M. **Estudo e Realização de um Estabilizador de Tensão Alternada a Transistor de Potência**. 1986 Dissertação (Mestrado em Engenharia Elétrica), INEP, UFSC, Florianópolis 1986.

ESPERANÇA, Carlos. G. **Apostila sobre TMS320x2407: Processador de Sinais Digitais da Texas Instruments**. IF-SC (Florianópolis), 2006

GOMES, C. E. M. **Controle Digital de um Condicionador de Tensão Alternada Usando PLL para a Obtenção do Sinal de Referência**. 2007 Dissertação (Mestrado em Engenharia Elétrica), INEP, UFSC, Florianópolis 2007.

MINAYO, M.C. de Souza. **Pesquisa social: teoria, método e criatividade**. Petrópolis: Vozes, 1994.

MC VEY, E. S. & WEBER, R.E. **Design Information for a Switched AC Regulator**, IEEE Transaction on Industry Electronics and Control Instrumentation, Vol. IECI-I4 N92: 51-56, 1967.

MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. **Power Electronics, Converters, Applications and Design**, 2.ed. 1995.

MUSSA, S. A. **Controle de um Conversor CA-CC Trifásico de Três Níveis com Fator de Potência Unitário Utilizando DSP**. 2003 Tese (Doutorado em Engenharia Elétrica), INEP, UFSC, Florianópolis 2003.

OGATA, K. **Discrete Time Control Systems**, 2nd. Ed. New Jersey: Prentice-Hall. 1995.

ORTMANN M. S. **Filtro Ativo Trifásico com Controle Vetorial Utilizando DSP: Projeto e Implementação**. 2008 Dissertação (Mestrado em Engenharia Elétrica), INEP, UFSC, Florianópolis 2008.

PETRY, C. A. **Estabilizador de Tensão Alternada para Cargas Não-Lineares**. 2001 Florianópolis, SC – Brasil, 2001. 178f.. Dissertação (Mestrado em Engenharia Elétrica), INEP, UFSC, Florianópolis 2001.

PETRY, C. A. **AC-AC Indirect Converter for Application as Line Conditioner**. In: Congresso Brasileiro de Eletrônica de Potência - COBEP, 2003, Fortaleza, CE. Anais do COBEP 2003, 2003.

PETRY, C. A. **Regarding the Control of Direct AC-AC Converters**. In: Congresso Brasileiro de Eletrônica de Potência - COBEP, 2005, Recife. Anais do COBEP 2005, 2005.

PETRY, C. A.; Fagundes, J. C. dos S.; Barbi, I. **Direct AC-AC Converters Using Switching Modules**. In: Congresso Brasileiro de Eletrônica de Potência - COBEP, 2005, Recife. Anais do COBEP 2005, 2005.

PETRY, C. A.; Fagundes, J. C. dos S.; Barbi, I. **New Direct Ac-Ac Converters Using Switching Modules Solving the Commutation Problem**. In: IEEE International Symposium On Industrial Electronics - ISIE, 2006, Montréal. Proceedings of the ISIE 2005, 2006.

PETRY, C. A. **Estabilizadores de Tensão Alternada Para Alimentação de Cargas Não-Lineares: Estudo de Variações Topológicas e Métodos de Controle**. 2006. 259 f.. Tese (Doutorado em Engenharia Elétrica), INEP, UFSC, Florianópolis 2006.

PINHEIRO, L. **Sistema de Alimentação Ininterrupta Controlado por Processador de Sinais Digitais**. 2007. 91 f.. Centro Federal de Educação Tecnológica de Santa Catarina, Florianópolis 2007.

RUGGIERO, Marcia A. G.; LOPES, Vera L. R. **Cálculo Numerico (Aspectos teoricos e computacionais)**. 2.ed. - Ed. Pearson Education. 2005.

SEVERINO, A. Joaquim. **Metodologia do Trabalho Cientifico**. Ed. Cortez. 22^a Edição – 2002.

SPECTRUM DIGITAL, **eZdsp LF2407A Technical Reference**. 2000.

TEXAS INSTRUMENTS. **Code Composer Studio Getting Started Guide (SPRU509)**. 2000.

TEXAS INSTRUMENTS. **TMS320F/C24x DSP Controllers Reference Guide: System and Peripherals**, Application Report SPRU357B. Texas Instruments. Houston. 2001.

TOMASELLI, L. C. **Controle de um Pré-Regulador com Alto Fator de Potência o Controlador DSP TMS320F243**. 2001 Dissertação (Mestrado em Engenharia Elétrica), INEP, UFSC, Florianópolis 2001.

V. Vorpérian. **Simplified Analysis of PWM Converters Using Model of PWM Switch, Part I: Continuous Conduction Mode**. VPEC Seminar Tutorials, Virginia, 1988.

KASSICK, E. V. **Estudo e Realização de um Estabilizador de Tensão Alternada Tiristor**. 1983 Dissertação (Mestrado em Engenharia Elétrica), INEP, UFSC, Florianópolis 1983

KOOSUKE, H. & CHENG-Ien, C. **Analysis of a Resonant Converter Controlled by Triac**, IEEE Transactions on Industry Applications. Vol. IA-20, Nº: 236-240. 1984

KOURGANOFF, Wladimir - **A Face Oculta da Universidade** – Unesp. 1995. 190p.

KWON, B.; MIN, V.; KIM, J. - **Novel topologies of AC choppers**. IEE Proceedings Electric Power Applications, p. 323-330, July, 1996.

BAGI. **Geradores Síncronos – Princípio de Funcionamento**. Disponível em: <http://bagi.sites.uol.com.br/principio.html>. Acesso em: 17/03/2009

ABINEE - **Associação Brasileira da Indústria Elétrica e Eletrônica**. Disponível em: <http://www.estabilizador.abinee.org.br/>. Acesso em: 23/02/2006

APÊNDICES

APÊNDICE A – Cálculo do Valor Eficaz (Linguagem C)

16 AMOSTRAS:

Controle_c2407_c_v01.2												
16 Amostras												
Osciloscópio TD3054 B	Medido	Calculado (DSP)		Amostra 1	Amostra 2	Amostra 3	Amostra 4	Amostra 5	Amostra 6	Amostra 7	Média	Erro Percentual Relativo [%]
		Multímetro ET-2231										
238		236,8	238,65340	237,50490	237,64650	238,18570	237,73570	237,85640	237,67530	237,7357	0,1110504202	
235		234,7	235,73400	235,93060	235,36260	235,45740	235,86430	236,00410	236,44050	235,8643	0,3677872340	
230		229,5	230,60160	231,02950	230,66250	230,27460	231,01670	230,57500	230,38420	230,6016	0,2615652174	
225		224,5	225,32300	225,19440	225,11710	225,36370	225,91070	225,53810	224,86810	225,3230	0,1435555556	
220		219,6	220,96410	221,14580	219,79180	220,80250	220,99140	220,58050	220,35920	220,8025	0,3647727273	
215		214,8	215,36760	216,06550	215,21960	215,41590	215,79870	215,95400	215,14780	215,4159	0,1934418605	
210		209,4	210,01380	210,80380	210,04250	209,50760	209,95080	210,19890	210,36570	210,0425	0,0202380952	
205		204,5	205,60360	205,65920	205,46740	206,12470	205,58170	205,46300	205,92970	205,6036	0,2944390244	
200		199,9	200,69110	200,89780	200,86630	201,26550	200,50550	200,85930	200,54010	200,8593	0,4296500000	
195		194,7	195,70760	195,39820	195,41580	196,37120	195,26180	195,32480	195,34700	195,3982	0,2042051282	
190		189,9	190,67280	190,06650	190,96330	190,95610	190,57600	190,76370	190,28470	190,6728	0,3541052632	
185		184,9	185,46130	184,90450	185,56510	185,51930	185,15070	185,23670	185,74470	185,4613	0,2493513514	
180		179,9	180,23970	180,53220	180,20130	181,30610	180,19020	180,51660	180,97760	180,5166	0,2870000000	
175		174,8	175,90600	174,50450	174,56680	175,13800	174,77010	175,46730	175,48950	175,1380	0,0788571429	
Média (Erro Percentual Relativo)											0,2554582844	

32 AMOSTRAS:

Controle_c2407_c_v01.2														
32 Amostras														
Medido		Calculado (DSP)												
Osciloscópio TDS054 B	Multímetro ET-2231	Amostra 1	Amostra 2	Amostra 3	Amostra 4	Amostra 5	Amostra 6	Amostra 7	Média	Erro Percentual Relativo [%]				
	238	237,5	238,21270	237,48800	237,51820	237,44950	238,77440	238,70910	238,80730	238,2127	0,0893697479			
	235	234,7	236,05960	235,51180	236,33590	235,87460	235,52120	235,38450	235,78150	235,7815	0,3325531915			
	230	229,7	230,79630	230,26140	230,47170	230,39660	230,67930	230,12370	230,41580	230,4158	0,1807826087			
	225	224,6	225,59080	225,86020	225,70180	225,59860	225,40580	225,05430	225,71260	225,5986	0,2660444444			
	220	219,5	220,51000	220,28080	220,38020	220,27860	220,56540	220,30540	221,00880	220,3802	0,1728181818			
	215	214,7	215,64470	215,16210	215,71900	215,62970	214,92970	215,84910	215,72690	215,6447	0,2998604651			
	210	209,7	210,54320	210,53560	210,22410	210,44560	210,46510	210,45060	210,43760	210,4506	0,2145714286			
	205	204,6	205,67300	204,99730	205,79640	205,86490	205,48150	205,41170	205,30480	205,4815	0,2348780488			
	200	199,6	200,93400	200,27810	200,31650	200,44070	200,02780	199,85440	200,34990	200,3165	0,1582500000			
	195	194,8	195,64910	195,38120	194,71590	195,56140	195,52330	195,31050	194,72780	195,3812	0,1954871795			
	190	189,8	190,60920	190,17060	190,06980	190,27180	190,38830	190,49800	190,40870	190,3883	0,2043684211			
185	184,7	185,36830	185,56830	185,09830	185,58600	185,38020	185,06440	184,88060	185,3683	0,1990810811				
180	179,7	180,09270	179,95580	180,12160	179,76650	179,62430	180,22710	180,29270	180,0927	0,0515000000				
175	174,8	174,70890	175,81420	175,45550	175,30430	175,64230	175,20120	175,44870	175,4487	0,2564000000				
										Média (Erro Percentual Relativo)				0,2017247511

APÊNDICE B – Cálculo do Valor Eficaz (Assembly)

16 AMOSTRAS:

Controle_c2407_asm16_v03f											
16 Amostras											
Medido		Calculado (DSP)									
Osciloscópio TDS3054B	Multímetro ET-2231	Amostra 1	Amostra 2	Amostra 3	Amostra 4	Amostra 5	Amostra 6	Amostra 7	Média	Erro Percentual Relativo [%]	
	238	237,8	21030	21022	20958	21005	20898	20950	21002	239,2928	0,5431961606
	235	234,9	20747	20569	20769	20672	20648	20693	20700	235,7721	0,3285614622
	230	229,9	20185	20275	20197	20249	20221	20290	20373	230,7133	0,3101163482
	225	227,7	19898	19832	19857	19828	19873	19880	19839	226,2469	0,5541750704
	220	219,6	19328	19353	19352	19333	19343	19814	19990	220,5044	0,2292788393
	215	214,6	19039	18927	18904	18905	19395	18882	18898	215,6507	0,3026279996
	210	209,7	18489	18445	19080	18419	18895	18449	18484	210,6032	0,2872343686
	205	205,1	18067	19025	18054	18101	18023	18029	18012	205,7039	0,3433432609
	200	199,7	18099	17567	17599	17566	17689	17898	17722	201,5451	0,7725564371
	195	194,7	17120	17147	17440	17668	17108	17205	17120	195,3697	0,1895731363
	190	189,8	16645	16675	16789	16776	16750	16820	16722	190,8463	0,4454341427
	185	184,7	16183	16309	16954	16221	16550	16569	16244	185,8217	0,4441375497
	180	179,6	15825	15814	15810	15995	15970	15865	15885	180,7628	0,4237792398
	175	174,9	16574	16353	16366	15364	15385	15389	15413	175,6128	0,3501716073
	Média (Erro Percentual Relativo)										0,3467574341

32 AMOSTRAS:

Controle_c2407_asm32_v03f											
32 Amostras											
Medido		Calculado (DSP)									
Osciloscópio DS3054B	Multímetro ET-2231	Amostra 1	Amostra 2	Amostra 3	Amostra 4	Amostra 5	Amostra 6	Amostra 7	Média	Erro Percentual Relativo [%]	
238	237,8	20920	20918	20894	20880	20887	20868	20913	238,0623	0,0261661070	
235	234,9	20701	20686	20704	20698	20659	20722	20689	235,8291	0,3528036121	
230	230,0	20267	20255	20241	20254	20271	20261	20293	230,8500	0,3695623157	
225	225,1	19817	19843	19823	19793	19824	19795	19830	225,8595	0,3820019348	
220	220,1	19352	19374	19380	19371	19345	19347	19396	220,7095	0,3225009248	
215	214,4	18898	18905	18895	18853	18882	18829	18871	215,1379	0,0641528973	
210	210,1	18498	18470	18487	18498	18470	18487	18468	210,6374	0,3035112407	
205	205,2	18030	18064	18050	18038	18056	18092	18077	205,7266	0,3544591736	
200	200,4	17641	17625	17627	17605	17607	17602	17634	200,8159	0,4079545031	
195	149,9	17151	17139	17112	17119	17129	17106	17139	195,1646	0,0843995015	
190	190,3	16689	16725	16720	16731	16718	16692	16726	190,5045	0,2655318726	
185	185,2	16256	16287	16294	16269	16258	16296	16288	185,5710	0,3086435877	
180	180,4	15818	15830	15812	15832	15818	15844	15823	180,2843	0,1579236628	
175	175,2	15360	15379	15380	15375	15397	15374	15427	175,2254	0,1288061473	
Média (Erro Percentual Relativo)										0,3060774142	

APÊNDICE C – MATLAB: Projeto do controle realimentado

```
clear;
clc;
close all;

format long

% Grandezas do conversor
Vi = 220;           % Tensão de entrada
Vo = 220;           % Tensão de saída
Ro = 48.4;          % Resistência de carga
fs = 19200;         % Frequência de comutação
f=60;
Ta=1/fs;
kaa=pi*fs;
Vs = 1;             % Tensão de pico da triangular
ka = 1/113.137085/3.3 ; % Atenuação do sensor de tensão e A/D; divide por
3,3 para trabalhar em q15

% Filtro de saída
Co = 10e-6; % Capacitor do filtro de saída
Lo = 400e-6; % Indutor do filtro de saída

% Relações de transformação
na = 3.2;
nb = 4.8;

% Filtros de entrada
R1 = 0.774; % Resistência do filtro de entrada
L1 = 40e-6; % Indutor do filtro de entrada
C1 = 10e-6; % Capacitor do filtro de entrada
L2 = 20e-6; % Resistência do filtro de entrada
R2 = .52; % Indutor do filtro de entrada
C2 = 10e-6; % Capacitor do filtro de entrada

% Razão cíclica
D = (Vo/Vi*na*nb-na*nb+na)/(na+nb);

% Corrente de saída
Io = Vo/Ro;
Ic = Io*2^.5;

% Potência de saída
Po = Vo*Io;

% Relação auxiliar
Vx = Vi*(1/na + 1/nb) - (Vo/Ro)*(R1*D - R2*(1-D));
Vx=Vx*2^.5;

%%%%% Desenvolvimento do Equacionamento
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

% Filtro de Entrada (Z1 e Z2)
numZ1 = [L1 R1];
denZ1 = [L1*C1 R1*C1 1];
z1s = tf(numZ1,denZ1);
```

```

[numZ1s,denZ1s]=TFDATA(z1s,'v');
numZ2 = [L2 R2];
denZ2 = [L2*C2 R2*C2 1];
z2s = tf(numZ2,denZ2);
[numZ2s,denZ2s]=TFDATA(z2s,'v');

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
mmc_den = conv(denZ1s,denZ2s); % Maximo multiplo comum denZ1s e denZ2s
%NUMERADOR (numGs)
a_num = D*(conv(numZ1s,denZ2s));
b_num = ((1-D)*(conv(numZ2s,denZ1s)));
num_1 = a_num - b_num;
Ic_num_1 = Ic*num_1;
numGs = ka*Ro*(Vx*mmc_den) - ka*Ro*(Ic_num_1); %% Numerador de Gs
%DENOMINADOR (denGs)
inic = [Lo*Co*Ro Lo Ro];
c_num = D*D*(conv(numZ1s,denZ2s));
d_num = ((1-D)*(1-D))*(conv(numZ2s,denZ1s));
num_2 = c_num - d_num;
mult = [Co*Ro 1];
conv_1 = conv(inic,mmc_den);
conv_2 = conv(mult,num_2);
conv_2 = [0 conv_2]; % Adaptação do Vetor
denGs = conv_1 + conv_2; %% Denominador de Gs

%%% Função de Transferencia G(s) = Vo/d
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
Gs = tf(numGs,denGs);

%%% Função de Transferencia G(s) = Vo/d - Calculado Manualmente
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
numGs2 = ka*Ro*[(L1*C1*L2*C2*Vx) (L1*C1*R2*C2*Vx + R1*C1*L2*C2*Vx -
L1*L2*C2*D*Ic + L1*C1*L2*Ic - L1*C1*L2*D*Ic) (L1*C1*Vx + R1*C1*R2*C2*Vx +
L2*C2*Vx -L1*R2*C2*D*Ic - R1*L2*C2*D*Ic + R1*C1*L2*Ic + L1*C1*R2*Ic -
R1*C1*L2*D*Ic - L1*C1*R2*D*Ic) (R1*C1*Vx + R2*C2*Vx - L1*D*Ic -
R1*R2*C2*D*Ic + L2*Ic + R1*C1*R2*Ic - L2*D*Ic - R1*C1*R2*D*Ic) (Vx -
R1*D*Ic + R2*Ic - R2*D*Ic)];
denGs2 = [(L1*C1*L2*C2*Lo*Co*Ro) ((L1*C1*R2*C2 + R1*C1*L2*C2)*Lo*Co*Ro +
L1*C1*L2*C2*Lo) ((L1*C1 + R1*C1*R2*C2 + L2*C2)*Lo*Co*Ro + (L1*C1*R2*C2 +
R1*C1*L2*C2)*Lo + L1*C1*L2*C2*Ro + (L1*L2*C2*D*D - L1*C1*L2*(1-D)*(1-
D))*Co*Ro) ((R1*C1+R2*C2)*Lo*Co*Ro + (L1*C1 + R1*C1*R2*C2 + L2*C2)*Lo +
(L1*C1*R2*C2 + R1*C1*L2*C2)*Ro + (L1*R2*C2*D*D + R1*L2*C2*D*D -
L1*C1*R2*(1-D)*(1-D) - R1*C1*L2*(1-D)*(1-D))*Co*Ro + (L1*L2*C2*D*D -
L1*C1*L2*(1-D)*(1-D))) (Lo*Co*Ro + (R1*C1 + R2*C2)*Lo + (L1*C1 +
R1*C1*R2*C2 + L2*C2)*Ro + (L1*D*D + R1*R2*C2*D*D - R1*C1*R2*(1-D)*(1-D) -
L2*(1-D)*(1-D))*Co*Ro + L1*R2*C2*D*D + R1*L2*C2*D*D - L1*C1*R2*(1-D)*(1-D) -
R1*C1*L2*(1-D)*(1-D)) (Lo + (R1*C1 + R2*C2)*Ro + (R1*D*D - R2*(1-D)*(1-
D))*Co*Ro + (L1*D*D + R1*R2*C2*D*D - R1*C1*R2*(1-D)*(1-D) - L2*(1-D)*(1-
D))) (Ro + R1*D*D - R2*(1-D)*(1-D))];
Gs2 = tf(numGs2,denGs2);

%%% Função de Transferencia G(s) SIMPLIFICADA
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
nsimp=ka*Ro*Vx;
dsimp=[Lo*Co*Ro Lo Ro];
Gsimp=TF(nsimp,dsimp);

% Teste para verificar se Gs e Gsimp são equivalentes
% bode(Gs)
% grid

```

```

% hold
% bode(Gsimp,'ro')
% legend('G(s) - Completa','G(s) - Simplificada')

%%%%%%%%%%%%%%
%%%%%%%%% projeto do controlador
%%%%%%%%%%%%%%

fo = (1/(Lo*Co)^.5)/2/pi;
fc = fs/8;

Wc = 2*pi*fc;
Sc = i*Wc;

A1 = abs(polyval(numGs,Sc)/polyval(denGs,Sc));
H1 = 20*log10(abs(polyval(nsimp,Sc)/polyval(dsimp,Sc)));

fz1c = fo;
fz2c = fz1c;
fp2c = 9*fo;
Wz1c = 2*pi*fz1c;
Wz2c = 2*pi*fz2c;

Wp2c = 2*pi*fp2c;

H2 = -H1+20*log10(Wp2c/Wc);
A2 = 10^(H2/20);
KC =A2;
numCs = KC*conv([1 Wz1c],[1 Wz2c]);
denCs = conv([1 0],[1 Wp2c]);

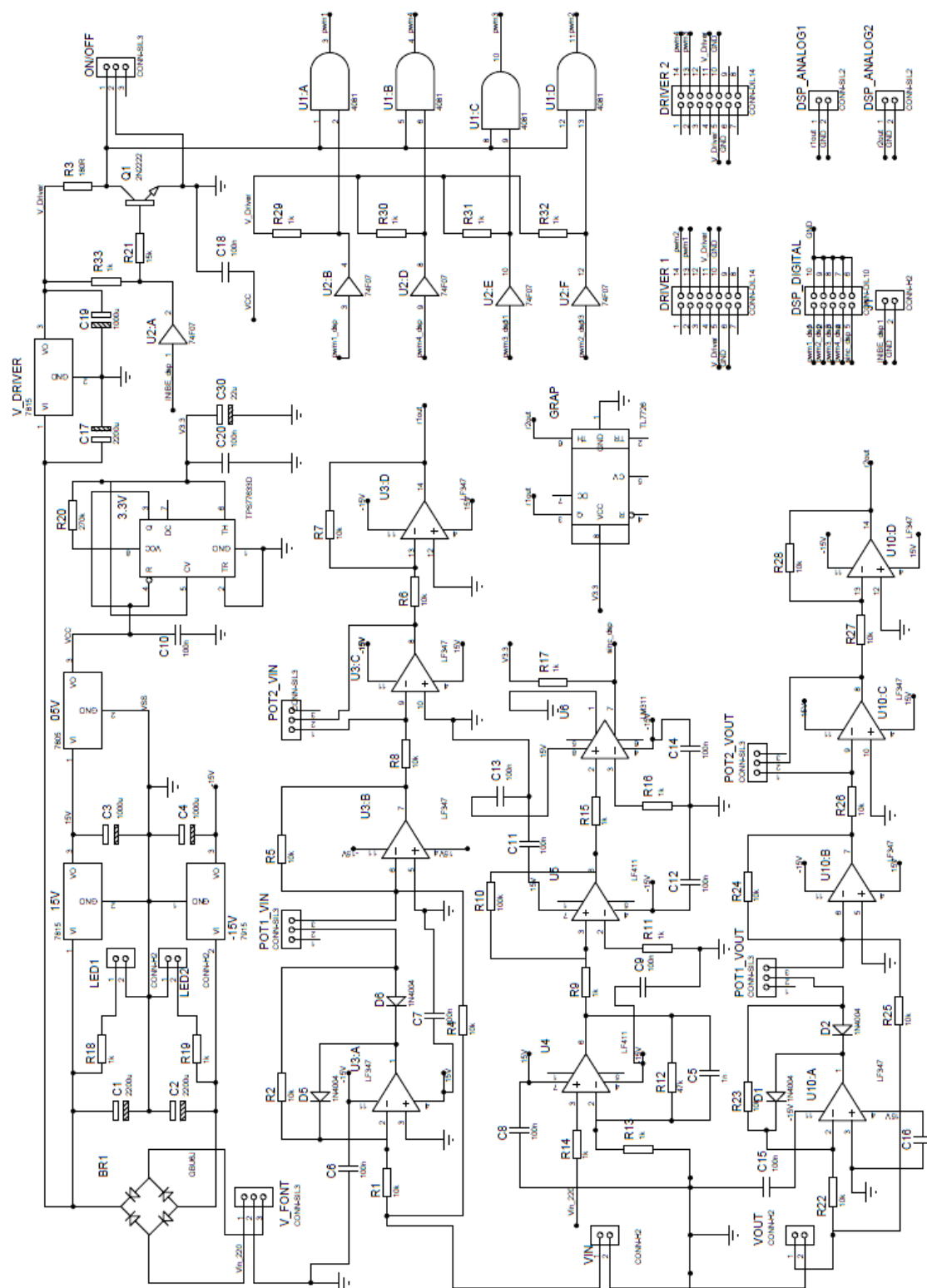
Cs = TF(numCs,denCs);
Cz = c2d(Cs,Ta,'Tustin');
Gz = c2d(Gsimp,Ta,'Tustin');
FTMA = series(Cs,Gsimp);
FTMF = feedback(FTMA,1);

% FTMAz = series(Cz,Gz);
% FTMFz = feedback(FTMAz,1);
% step(FTMFz)
% legend('Controlador (TUSTIN)')

%% Cs x FTMF
% FTMA = series(Cs,Gsimp);
% FTMF = feedback(FTMA,1);
% step(Gsimp)
% grid
% hold
% step(FTMF)
% legend('G(s)', 'FTMF')

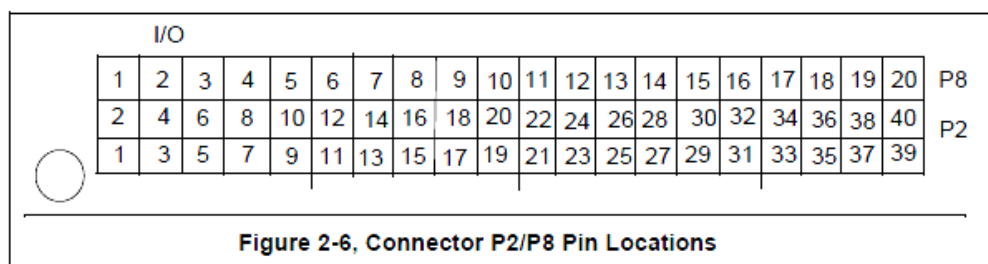
```

APÊNDICE D – Esquemático Completo do Hardware de Aquisição

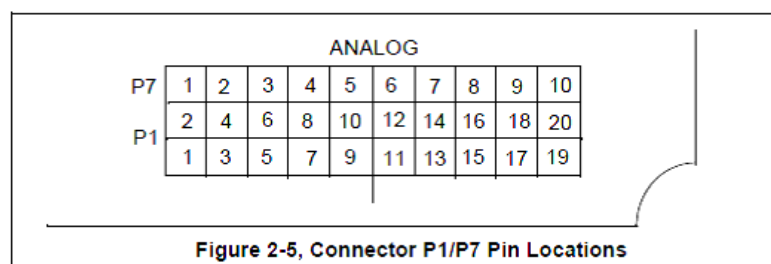


APÊNDICE E – Conexões do Protótipo

DSP:



P2 – Pino 6	Vsinc (Sinal de Sincronismo)
P2 – Pino 8	PWM1
P2 – Pino 9	PWM2
P2 – Pino 10	PWM3
P2 – Pino 11	PWM4
P2 – Pino 19 e 20	GND
P8 – Pino 3	InibPwm (Habilita sinais PWM)



P1 – Pino 2	AD0 (Vi)
P1 – Pino 4	AD1 (Vo)
P1 – Pinos Impares	GND

DR2cf – Driver Duplo:

Pino 2 –	PWM1
Pino 4 –	PWM2
Pino 8 e 9 –	15 Volts
Pino 10 e 11 –	GND

2	4	6	8	10	12	14
1	3	5	7	9	11	13

DSP Digital - Conector 12 Pinos (Hardware de Sinais):

Pino 1 –	InibPwm (Habilita sinais PWM)
Pino 3 –	PWM1
Pino 5 –	PWM 2
Pino 7 –	PWM 3
Pino 9 –	PWM 4
Pino 11 –	Vsinc (Sinal de Sincronismo)
Pinos Pares –	GND

1	2
3	4
5	6
7	8
9	10
11	12

APÊNDICE F – MATLAB: Geração da tabela do seno

```
clear;
clc;
close all;

clock=40e6;
Tclock=1/clock;
fr=60;
Tr=1/fr;
fs=19200;
Ts=1/fs;
N=round(Tr/Ts);
VT=round((Ts/Tclock)-1);
angulo=0:320/N:320-320/N;
t=2*pi*angulo/320;

seno=((311/113.137085)/3.3)*sin(t);

nm = 1/113.137085; % Atenuação do sensor de tensão

for j=1:(length(angulo))/2
    tabela(j)=abs(round(seno(j)*2^15));
end
for j=((length(angulo))/2+1):length(angulo)
    tabela(j)=abs(round(seno(j)*2^15));
end

indice=1:N;

b=['          tabela          seno          indice          angulo'];
disp(b)
for x=1:N
    senostr= num2str(abs(seno(x)));
    tabelastr= num2str(tabela(x));
    angulostr=int2str(angulo(x));
    indicestr=int2str(indice(x));
    a=['          .word          tabelastr          ; senostr          indicestr          '
    ' angulostr'];
    disp(a)
end
```

APÊNDICE G– Código dos Programas de Controle

1) CONTROLE PRÉ-ALIMENTADO

controle.c

```
#include "f2407_c.h"

/** Constante **/
#define T_PwmAdc 2082
#define D 1000
#define nAmostras 32.0

/* Global Variable Definitions */
float fLeituraADVi = 0;
float fValorVi = 0;
float fValorRaizVi = 1.95;
float fValorEficazVi = 1.95;

float fD;

float fBufferVi[32];
unsigned char ucCtrlBuffer = 0;

unsigned char ucSelecAmostra = 9;

unsigned char ucControleLoop;
unsigned char ucCtrlNúmeroDeAmostras = nAmostras;
unsigned char ucInibPwm = 1;

/***** MAIN ROUTINE *****/
void main(void)
{
    *WDCR = 0x00E8;
    WSGR = 0x0040;

    /** Configure the System Control and Status registers */

    *SCSR1 = 0x00FD;
    *SCSR2 = (*SCSR2 | 0x000B) & 0x000F;

    /** Setup the core interrupts */
    *IMR = 0x0000;
    *IFR = 0x003F;
    *IMR = 0x0028;

    /** Setup shared I/O pins */
    *MCRA = 0x03C8; //group A pins
    *MCRB = 0xFE00; //group B pins
    *MCRC = 0x0000; //group C pins

    /** Configure IOPC0 pin as an output */
    *PADATDIR = *PADATDIR | 0x0000;
    *PDDATDIR = *PDDATDIR | 0x0101;

    /** Setup the ADC */
    *ADCTRL1 = 0x4000;
    *MAX_CONV = 0x0001;

    *CHSELSEQ1 = 0x0000;
    *ADCTRL1 = 0x2030; //low pri.
    *ADCTRL2 = 0x4702;

    /** CONFIGURAÇÕES - COMPARE UNITS */
    *COMCONA = 0x8200;
    *ACTRA = 0x0000; //PWMS OFF
    *DBTCONA = 0x0868; //Dead Band

    *CMPR1 = (T_PwmAdc - D);
    *CMPR2 = (T_PwmAdc - D);

    /** CONFIGURAÇÕES - GP TIMER COMPARE */

    *T1CON = 0x0000;
    *T1CNT = 0x0000;
    *T1PR = T_PwmAdc;

    *GPTCONA = 0x00C5;
    *T1CON = 0x1040;

    *CAPCONA = 0x22C0;

    /** Setup the event manager interrupts */
    *EVAIFRA = 0xFFFF;
    *EVAIFRB = 0xFFFF;
    *EVAIFRC = 0xFFFF;
    *EVAIMRA = 0x0000;
    *EVAIMRB = 0x0000;
    *EVAIMRC = 0x0001;

    *EVBIFRA = 0xFFFF;
    *EVBIFRB = 0xFFFF;
    *EVBIFRC = 0xFFFF;
    *EVBIMRA = 0x0000;
    *EVBIMRB = 0x0000;
    *EVBIMRC = 0x0000;

    /** Enable global interrupts */
    asm(" CLRC INTM");

    /** Proceed with main routine */

    while(1);
}

/** INTERRUPT SERVICE ROUTINES */

interrupt void adc_isr(void)
{
    asm(" CLRC SXM");

    leituraAD = 3.3*0,5 = 1,65Volts
    fLeituraADVi = (((*RESULT0)>>6) * 3.3)
    / 1023;
```

```

        *ADCTRL2 = *ADCTRL2 | 0x4000;

if (ucSelecAmostra) ucSelecAmostra--; //
PWM / 10
else
{
    ucSelecAmostra = 9;

    if (ucCtrlNúmeroDeAmostras > 1)
    {
        fBufferVi[ucCtrlBuffer] =
fLeituraADVi;

        fValorVi = fValorVi +
(fLeituraADVi*fLeituraADVi)/nAmostras;

        ucCtrlBuffer++;
        ucCtrlNúmeroDeAmostras--;
    }
    else
    {
        fBufferVi[ucCtrlBuffer] =
fLeituraADVi;

        fValorVi = fValorVi +
(fLeituraADVi*fLeituraADVi)/nAmostras;

//Raiz de Vi
for
(ucControleLoop=6;ucControleLoop>0;ucCon
troleLoop--)
    fValorRaizVi =
(fValorRaizVi +
fValorVi/fValorRaizVi)*0.5;

    fValorEficazVi = fValorRaizVi;

    if (fValorEficazVi > 1.555634919)
    {
//Cálculo do D

        fD = (3.733523805/fValorRaizVi) -
1.52;

        }else
        fD = 0.88;

        *CMPR1 = (T_PwmAdc - fD*T_PwmAdc);
        *CMPR2 = (T_PwmAdc - fD*T_PwmAdc);

        ucCtrlBuffer=0;
        ucCtrlNúmeroDeAmostras =
nAmostras;
        fValorVi = 0.0;
    }
}

interrupt void pin_isr(void)
{
    if (*PADATDIR & 0x0008) *ACTRA =
0x00F6;
    else *ACTRA = 0x006F;

    if (ucInibPwm == 1) *PDDATDIR =
0x0100; //Habilita CHAVES

    *T1CNT = 0x0000;

    *EVAIFRC = *EVAIFRC | 0x0001;
}

```

controle.cmd

```

MEMORY
{
    PAGE 0: /* Program Memory */
        VECS:          org=00000h,   len=00040h   /* internal FLASH */
        FLASH:         org=00044h,   len=07FBCh   /* internal FLASH */
        EXTPROG:        org=08800h,   len=07800h   /* external SRAM */

    PAGE 1: /* Data Memory */
        B2:            org=00060h,   len=00020h   /* internal DARAM */
        B0:            org=00200h,   len=00100h   /* internal DARAM */
        B1:            org=00300h,   len=00100h   /* internal DARAM */
        SARAM:         org=00800h,   len=00800h   /* internal SARAM */
        EXTDATA:        org=08000h,   len=08000h   /* external SRAM */
}

SECTIONS
{
/* Sections generated by the C-compiler */
    .text: > FLASH PAGE 0 /* initialized */
    .cinit: > FLASH PAGE 0 /* initialized */
    .const: > B1 PAGE 1 /* initialized */
    .switch: > FLASH PAGE 0 /* initialized */
    .bss: > B1 PAGE 1 /* uninitialized */
    .stack: > SARAM PAGE 1 /* uninitialized */
    .sysmem: > B1 PAGE 1 /* uninitialized */
/* Sections declared by the user */
    vectors: > VECS PAGE 0 /* initialized */
}

```

cvecsors.asm

```
.ref _c_int0, _adc_isr, _pin_isr

.sect    "vectors"
reset:   B        _c_int0            ;00h reset
int1:    B        int1                ;02h INT1
int2:    B        int2                ;04h INT2
int3:    B        int3                ;06h INT3
int4:    B        _pin_isr            ;08h INT4
int5:    B        int5                ;0Ah INT5
int6:    B        _adc_isr            ;0Ch INT6
int7:    B        int7                ;0Eh reserved
int8:    B        int8                ;10h INT8 (software)
int9:    B        int9                ;12h INT9 (software)
int10:   B        int10               ;14h INT10 (software)
int11:   B        int11               ;16h INT11 (software)
int12:   B        int12               ;18h INT12 (software)
int13:   B        int13               ;1Ah INT13 (software)
int14:   B        int14               ;1Ch INT14 (software)
int15:   B        int15               ;1Eh INT15 (software)
int16:   B        int16               ;20h INT16 (software)
int17:   B        int17               ;22h TRAP
int18:   B        int18               ;24h NMI
int19:   B        int19               ;26h reserved
int20:   B        int20               ;28h INT20 (software)
int21:   B        int21               ;2Ah INT21 (software)
int22:   B        int22               ;2Ch INT22 (software)
int23:   B        int23               ;2Eh INT23 (software)
int24:   B        int24               ;30h INT24 (software)
int25:   B        int25               ;32h INT25 (software)
int26:   B        int26               ;34h INT26 (software)
int27:   B        int27               ;36h INT27 (software)
int28:   B        int28               ;38h INT28 (software)
int29:   B        int29               ;3Ah INT29 (software)
int30:   B        int30               ;3Ch INT30 (software)
int31:   B        int31               ;3Eh INT31 (software)
```

2) CONTROLE REALIMENTADO

controle2.asm

<pre>.include f2407.h #include f2407.h .def start .def adc_isr .def pin_isr ; definição de constantes stk_len .set 200 t_pwmadc .set 2082 table_len .set 320 buf_len .set 320 ;Def. de ponteiros e variaveis buf_ptr .usect "buffer",1 buf .usect "buffer",buf_len stk .usect "stack",stk_len .bss tempo,1 .bss temp,1</pre>	<pre>.bss amostra,1 .bss p_tabela,1 .bss referencia,1 .bss duty,1 .bss ek,1 .bss ek1,1 .bss ek2,1 .bss uk,1 .bss uk1,1 .bss uk2,1 Q .set 32768 ;2^15 (Q15) .data A .int Q*6785/10000 ; 1.357 / 2 = 0.6785 [ek] B .int Q*-5655/10000 ; -1.131 / 2= 0.5655 [ek1]</pre>
---	--

```

C .int          Q*2355/10000      ; ;~~~~~;
0.2355 [ek2]                                         Configura os pinos de I/O
D .int          Q*425/1000        ; ;~~~~~;
0.4250 [uk1]
E .int          Q*575/1000        ;
0.5750 [uk2]

;~~~~~;
;INÍCIO
;~~~~~;
.text

start

;Inicialização das Variáveis:
MAR      *,AR1
LAR      AR1,#ek
SPLK     #0000h,++
SPLK     #0000h,++
SPLK     #0000h,++
SPLK     #0000h,++
PLK      #0000h,++          SPLK
#0000h,++
LDP      #p_tabela
SPLK     TABELA, p_tabela

LDP      #DP_PF1 ;set data page
SPLK     #11101000b,WDCR

;~~~~~;
;Set wait states for external memory
interface on eZdsp(TM) LF2407
;~~~~~;
LDP      #temp      ;set data page
SPLK     #0040h, temp
OUT      temp,WSGR

;~~~~~;
; Setup the software stack
;~~~~~;
LAR      AR1, #stk
MAR      *, AR1

;~~~~~;
; Configura Registro de Controle
;~~~~~;

LDP      #DP_PF1 ;set data page
SPLK     #0000000011111101b,SCSR1
SPLK     #0000000000001111b,SCSR2

;~~~~~;
Setup the core interrupts
;~~~~~;

; Configura as interrupções
LDP      #0h          ;set data page
SPLK     #000000b,IMR
SPLK     #111111b,IFR
SPLK     #101000b,IMR

;~~~~~;
LDP      #DP_PF2 ;set data page
SPLK     #0000001111001000b,MCRA
SPLK     #1111111000000000b,MCRB
SPLK     #0000000000000000b,MCRC

;~~~~~;C
onfigura Direção dos Pinos
;~~~~~;
LDP      #DP_PF2 ;set data page
SPLK
#0000000000000000b,PADATDIR

LDP      #DP_PF2
SPLK     #0000000100000001b,PDDATDIR

;~~~~~;C
onfigura o ADC
;~~~~~;
LDP      #DP_PF2
SPLK     #0100000000000000b,ADCTRL1
SPLK     #0000000000000001b,MAX_CONV
SPLK     #0000000000010000b,CHSELSEQ1
SPLK     #0010000000110000b,ADCTRL1
SPLK     #0100011100000010b,ADCTRL2

;~~~~~;S
etup - COMPARE UNITS
;~~~~~;
LDP      #DP_EVA

SPLK     #1000001000000000b,COMCONA
SPLK     #0000000000000000b,ACTRA
SPLK     #0000100001101000b,DBTCONA

SPLK     #1000, CMPR1
SPLK     #1000, CMPR2

SPLK     #0000000000000000b,T1CON
SPLK     #0000000000000000b,T1CNT
SPLK     #t_pwmadc, T1PR

SPLK     #0000000011000101b,GPTCONA
SPLK     #0001000001000000b,T1CON

;~~~~~;S
etup BUFFER
;~~~~~;
LDP      #buf_ptr
LAR      AR0, #buf
SAR      AR0, buf_ptr
MAR      *, AR0
LACC     #2407h
LDP      #temp
SPLK     #buf_len-1, temp
RPT      temp
SACL     *+

```

```

;~~~~~;
Event Manager Interrupts
;~~~~~;
    LDP    #DP_EVA
    SPLK   #0FFFFh, EVAIFRA
    SPLK   #0FFFFh, EVAIFRB
    SPLK   #0FFFFh, EVAIFRC
    SPLK   #00000h, EVAIMRA
    SPLK   #00000h, EVAIMRB
    SPLK   #00001h, EVAIMRC
    LDP    #DP_EVB
    SPLK   #0FFFFh, EVBIFRA
    SPLK   #0FFFFh, EVBIFRB
    SPLK   #0FFFFh, EVBIFRC
    SPLK   #00000h, EVBIMRA
    SPLK   #00000h, EVBIMRB
    SPLK   #00000h, EVBIMRC

    LDP    #DP_EVA
    SPLK   #0010001011000000b, CAPCON

;~~~~~;E
nable global interrupts
;~~~~~;
    CLRC   INTM

;~~~~~;M
ain loop
;~~~~~;
loop:  NOP
      B     loop

*****

pin_isr: ;Interrupção por Bordas
;context save
    MAR    *,AR1
    MAR    *+
    SST    #1, *+
    SST    #0, *+
    SACH   *+
    SACL   *+
    SAR    AR2, *+
    SAR    AR0, *+
    SAR    AR3, *+
    SAR    AR4, *+
;~~~~~;

    LDP    #DP_PF2
    LACL   PADATDIR
    AND    #0008h

    LDP    #DP_EVA
    SPLK   #006Fh, ACTRA
;PWM1/2 high

    BCND   pwm_ok, EQ
    SPLK   #00F6h, ACTRA
;PWM3/4 high
    LDP    #p_tabela
    SPLK   TABELA, p_tabela

pwm_ok:LDP    #DP_PF2
      SPLK   #0100h, PDDATDIR

      LDP    #DP_EVA
      SPLK   #0000h, T1CNT
      LACC   EVAIFRC
      OR     #0001h
      SACL   EVAIFRC

;~~~~~;
;context restore
    MAR     *, AR1
    MAR     *-
    LAR     AR4, *-
    LAR     AR3, *-
    LAR     AR0, *-
    LAR     AR2, *-
    LACL    *-
    ADD     *-, 16
    LST     #0, *-
    LST     #1, *-
    CLRC    INTM

;~~~~~;
    RET     ;FIM INT.

;~~~~~;

adc_isr: ;Interrupção AD
;context save

    MAR     *,AR1
    MAR     *+
    SST     #1, *+
    SST     #0, *+
    SACH    *+
    SACL    *+
    SAR     AR2, *+
    SAR     AR0, *+
    SAR     AR3, *+
    SAR     AR4, *+
;~~~~~;

    CLRC    SXM
    LACC    #0
    LDP     #DP_PF2
    LACC    RESULT1, 15
    LDP     #amostra
    SACH    amostra
;Armazena Leitura AD

;~~~~~;A
mostra REFERENCIA & Testa Fim da
TABELA
;~~~~~;
    MAR     *,AR4
    LDP     #p_tabela
    LAR     AR4,p_tabela
    LACC    *+
    SACL    referencia
    SAR     AR4,p_tabela

;Teste de Fim da TABELA

```

```

MAR      *,AR4
LDP      #p_tabela
LAR      AR4,p_tabela
LDP      #TABELA
LAR      AR0,#(TABELA+table_len-
1)
CMPR     2
BCND     segue,NTC
LDP      #p_tabela
SPLK     TABELA,p_tabela
segue:

;~~~~~
;Cálculo do erro - ek
;~~~~~
SPM      1
SETC     SXM
SETC     OVM
MPY      #0
LACC     #0

LDP      #referencia
LACC     referencia,16
LDP      #amostra
SUB      amostra,16
LDP      #ek
SACH     ek

;~~~~~
;Cálculo da Saida - uk
;~~~~~
SPM      1
SETC     SXM
SETC     OVM
MPY      #0
LACC     #0

LDP      #ek
LT       ek      ;LT
MPY      A      ;LT x A
PAC      ;ACC + PREG

LTA      ek1     ;1) ACC + PREG
                ;2) LT =ek1
MPY      B      ;LT x B
APAC     ;ACC + PREG

LTA      ek2     ;1) ACC + PREG
                ;2) LT =ek2
MPY      C      ;LT x C
LTA      uk1     ;1) ACC + PREG
                ;2) LT =uk1
MPY      D      ;LT x D

LTA      uk2     ;1) ACC + PREG
                ;2) LT =uk2
MPY      E      ;LT x E
APAC     ;ACC+PREG -> ACC
SACH     uk

;Atualiza Variáveis

```

```

DMOV     ek1     ;e[k-1]->e[k-2]
DMOV     ek      ;e[k] -> e[k-1]
DMOV     uk1     ;u[k-1]->u[k-2]
DMV      uk      ;u[k] -> u[k-1]

;TESTE1 de Valor de u[k] Válido
LDP      #uk
MAR      *,AR6
LAR      AR6,uk
LAR      AR0,#32767
CMPR     2      ; ARP > AR0
BCND     segue1,NTC
SPLK     #0,uk
segue1:

;TESTE2 D > 0.88
LDP      #uk
MAR      *,AR6
LAR      AR6, uk
LAR      AR0, #28834
CMPR     2      ; ARP > AR0
BCND     segue2,NTC
SPLK     #28834,uk
segue2:

;TESTE3 D < 0.08
LDP      #uk
MAR      *,AR6
LAR      AR6, uk
LAR      AR0, #2621
CMPR     1      ; ARP < AR0
BCND     segue3,NTC
SPLK     #2621,uk
segue3:

;Atualiza Razão Ciclica " D "
SPM      1
SETC     SXM
SETC     OVM
MPY      #0
LACC     #0

LDP      #uk
LT       uk
MPY      #t_pwmadc
APAC

SACH     duty ;t_pwmadc 2082

LACC     #t_pwmadc
SUB      duty

LDP      #DP_EVA
SACL     CMPR1
SACL     CMPR2

;TEMPO ~~~~~
LDP      #DP_EVA ;set data page
LACC     T1CNT
LDP      #tempo ;set data page
SACL     tempo

```

```

;Tempo de cálculo = tempo * 25ns
;~~~~~
    LDP    #DP_PF2 ;set data page
    LACC   ADCTRL2 ;read ADCTRL2
    OR     #4000h
    SACL   ADCTRL2
;write back to reset SEQ1

;~~~~~;co
ntext restore
    MAR    *, AR1
    MAR    *-
    LAR     AR4, *-
    LAR     AR3, *-
    LAR     AR0, *-
    LAR     AR2, *-
    LACL    *-
    ADD     *-, 16
    LST     #0, *-
    LST     #1, *-

    CLRC    INTM
;~~~~~
    RET     ;FIM DA INT.
;~~~~~

;~~~~~
TABELA DE SENO (Formato Q15)
;~~~~~

    .sect "dados"

;          seno/índice/ângulo
TABELA          .word
0      ;0      1      0
.word 536      ;0.016355 2      1
.word 1072     ;0.032703 3      2
.word 1607     ;0.049039 4      3
.word 2142     ;0.065356 5      4
.word 2675     ;0.081648 6      5
.word 3208     ;0.097908 7      6
.word 3740     ;0.11413  8      7
.word 4270     ;0.13031  9      8
.word 4798     ;0.14644 10     9
.word 5325     ;0.16251 11    10
.word 5850     ;0.17852 12    11
.word 6372     ;0.19446 13    12
.word 6892     ;0.21032 14    13
.word 7409     ;0.22611 15    14
.word 7923     ;0.24181 16    15
.word 8435     ;0.25741 17    16
.word 8943     ;0.27291 18    17
.word 9447     ;0.28831 19    18
.word 9948     ;0.3036  20    19
.word 10446    ;0.31877 21    20
.word 10939    ;0.33382 22    21
.word 11428    ;0.34874 23    22
.word 11912    ;0.36353 24    23
.word 12392    ;0.37817 25    24
.word 12867    ;0.39267 26    25
.word 13337    ;0.40702 27    26

.word 13802    ;0.42121 28    27
.word 14262    ;0.43524 29    28
.word 14716    ;0.4491  30    29
.word 15165    ;0.46279 31    30
.word 15607    ;0.4763  32    31
.word 16044    ;0.48962 33    32
.word 16474    ;0.50276 34    33
.word 16898    ;0.5157  35    34
.word 17316    ;0.52845 36    35
.word 17727    ;0.54099 37    36
.word 18131    ;0.55332 38    37
.word 18528    ;0.56544 39    38
.word 18918    ;0.57734 40    39
.word 19301    ;0.58902 41    40
.word 19676    ;0.60047 42    41
.word 20044    ;0.61169 43    42
.word 20404    ;0.62267 44    43
.word 20756    ;0.63341 45    44
.word 21100    ;0.64391 46    45
.word 21436    ;0.65416 47    46
.word 21763    ;0.66416 48    47
.word 22083    ;0.67391 49    48
.word 22393    ;0.68339 50    49
.word 22695    ;0.69261 51    50
.word 22989    ;0.70156 52    51
.word 23273    ;0.71024 53    52
.word 23549    ;0.71865 54    53
.word 23815    ;0.72678 55    54
.word 24073    ;0.73463 56    55
.word 24320    ;0.7422  57    56
.word 24559    ;0.74948 58    57
.word 24788    ;0.75648 59    58
.word 25008    ;0.76318 60    59
.word 25218    ;0.76959 61    60
.word 25418    ;0.7757  62    61
.word 25608    ;0.78151 63    62
.word 25789    ;0.78702 64    63
.word 25960    ;0.79222 65    64
.word 26120    ;0.79712 66    65
.word 26271    ;0.80172 67    66
.word 26411    ;0.806  68    67
.word 26541    ;0.80998 69    68
.word 26661    ;0.81364 70    69
.word 26771    ;0.81699 71    70
.word 26870    ;0.82002 72    71
.word 26959    ;0.82274 73    72
.word 27038    ;0.82514 74    73
.word 27106    ;0.82722 75    74
.word 27164    ;0.82898 76    75
.word 27211    ;0.83043 77    76
.word 27248    ;0.83155 78    77
.word 27274    ;0.83235 79    78
.word 27290    ;0.83283 80    79
.word 27296    ;0.83299 81    80
.word 27290    ;0.83283 82    81
.word 27274    ;0.83235 83    82
.word 27248    ;0.83155 84    83
.word 27211    ;0.83043 85    84
.word 27164    ;0.82898 86    85
.word 27106    ;0.82722 87    86
.word 27038    ;0.82514 88    87

```

.word	26959	;0.82274	89	88	.word	5850	;0.17852	150	149
.word	26870	;0.82002	90	89	.word	5325	;0.16251	151	150
.word	26771	;0.81699	91	90	.word	4798	;0.14644	152	151
.word	26661	;0.81364	92	91	.word	4270	;0.13031	153	152
.word	26541	;0.80998	93	92	.word	3740	;0.11413	154	153
.word	26411	;0.806	94	93	.word	3208	;0.097908	155	154
.word	26271	;0.80172	95	94	.word	2675	;0.081648	156	155
.word	26120	;0.79712	96	95	.word	2142	;0.065356	157	156
.word	25960	;0.79222	97	96	.word	1607	;0.049039	158	157
.word	25789	;0.78702	98	97	.word	1072	;0.032703	159	158
.word	25608	;0.78151	99	98	.word	536	;0.016355	160	159
.word	25418	;0.7757	100	99	.word	0	;1e-016	161	160
.word	25218	;0.76959	101	100	.word	536	;0.016355	162	161
.word	25008	;0.76318	102	101	.word	1072	;0.032703	163	162
.word	24788	;0.75648	103	102	.word	1607	;0.049039	164	163
.word	24559	;0.74948	104	103	.word	2142	;0.065356	165	164
.word	24320	;0.7422	105	104	.word	2675	;0.081648	166	165
.word	24073	;0.73463	106	105	.word	3208	;0.097908	167	166
.word	23815	;0.72678	107	106	.word	3740	;0.11413	168	167
.word	23549	;0.71865	108	107	.word	4270	;0.13031	169	168
.word	23273	;0.71024	109	108	.word	4798	;0.14644	170	169
.word	22989	;0.70156	110	109	.word	5325	;0.16251	171	170
.word	22695	;0.69261	111	110	.word	5850	;0.17852	172	171
.word	22393	;0.68339	112	111	.word	6372	;0.19446	173	172
.word	22083	;0.67391	113	112	.word	6892	;0.21032	174	173
.word	21763	;0.66416	114	113	.word	7409	;0.22611	175	174
.word	21436	;0.65416	115	114	.word	7923	;0.24181	176	175
.word	21100	;0.64391	116	115	.word	8435	;0.25741	177	176
.word	20756	;0.63341	117	116	.word	8943	;0.27291	178	177
.word	20404	;0.62267	118	117	.word	9447	;0.28831	179	178
.word	20044	;0.61169	119	118	.word	9948	;0.3036	180	179
.word	19676	;0.60047	120	119	.word	10446	;0.31877	181	180
.word	19301	;0.58902	121	120	.word	10939	;0.33382	182	181
.word	18918	;0.57734	122	121	.word	11428	;0.34874	183	182
.word	18528	;0.56544	123	122	.word	11912	;0.36353	184	183
.word	18131	;0.55332	124	123	.word	12392	;0.37817	185	184
.word	17727	;0.54099	125	124	.word	12867	;0.39267	186	185
.word	17316	;0.52845	126	125	.word	13337	;0.40702	187	186
.word	16898	;0.5157	127	126	.word	13802	;0.42121	188	187
.word	16474	;0.50276	128	127	.word	14262	;0.43524	189	188
.word	16044	;0.48962	129	128	.word	14716	;0.4491	190	189
.word	15607	;0.4763	130	129	.word	15165	;0.46279	191	190
.word	15165	;0.46279	131	130	.word	15607	;0.4763	192	191
.word	14716	;0.4491	132	131	.word	16044	;0.48962	193	192
.word	14262	;0.43524	133	132	.word	16474	;0.50276	194	193
.word	13802	;0.42121	134	133	.word	16898	;0.5157	195	194
.word	13337	;0.40702	135	134	.word	17316	;0.52845	196	195
.word	12867	;0.39267	136	135	.word	17727	;0.54099	197	196
.word	12392	;0.37817	137	136	.word	18131	;0.55332	198	197
.word	11912	;0.36353	138	137	.word	18528	;0.56544	199	198
.word	11428	;0.34874	139	138	.word	18918	;0.57734	200	199
.word	10939	;0.33382	140	139	.word	19301	;0.58902	201	200
.word	10446	;0.31877	141	140	.word	19676	;0.60047	202	201
.word	9948	;0.3036	142	141	.word	20044	;0.61169	203	202
.word	9447	;0.28831	143	142	.word	20404	;0.62267	204	203
.word	8943	;0.27291	144	143	.word	20756	;0.63341	205	204
.word	8435	;0.25741	145	144	.word	21100	;0.64391	206	205
.word	7923	;0.24181	146	145	.word	21436	;0.65416	207	206
.word	7409	;0.22611	147	146	.word	21763	;0.66416	208	207
.word	6892	;0.21032	148	147	.word	22083	;0.67391	209	208
.word	6372	;0.19446	149	148	.word	22393	;0.68339	210	209

.word	22695	;0.69261	211	210	.word	24073	;0.73463	266	265
.word	22989	;0.70156	212	211	.word	23815	;0.72678	267	266
.word	23273	;0.71024	213	212	.word	23549	;0.71865	268	267
.word	23549	;0.71865	214	213	.word	23273	;0.71024	269	268
.word	23815	;0.72678	215	214	.word	22989	;0.70156	270	269
.word	24073	;0.73463	216	215	.word	22695	;0.69261	271	270
.word	24320	;0.7422	217	216	.word	22393	;0.68339	272	271
.word	24559	;0.74948	218	217	.word	22083	;0.67391	273	272
.word	24788	;0.75648	219	218	.word	21763	;0.66416	274	273
.word	25008	;0.76318	220	219	.word	21436	;0.65416	275	274
.word	25218	;0.76959	221	220	.word	21100	;0.64391	276	275
.word	25418	;0.7757	222	221	.word	20756	;0.63341	277	276
.word	25608	;0.78151	223	222	.word	20404	;0.62267	278	277
.word	25789	;0.78702	224	223	.word	20044	;0.61169	279	278
.word	25960	;0.79222	225	224	.word	19676	;0.60047	280	279
.word	26120	;0.79712	226	225	.word	19301	;0.58902	281	280
.word	26271	;0.80172	227	226	.word	18918	;0.57734	282	281
.word	26411	;0.806	228	227	.word	18528	;0.56544	283	282
.word	26541	;0.80998	229	228	.word	18131	;0.55332	284	283
.word	26661	;0.81364	230	229	.word	17727	;0.54099	285	284
.word	26771	;0.81699	231	230	.word	17316	;0.52845	286	285
.word	26870	;0.82002	232	231	.word	16898	;0.5157	287	286
.word	26959	;0.82274	233	232	.word	16474	;0.50276	288	287
.word	27038	;0.82514	234	233	.word	16044	;0.48962	289	288
.word	27106	;0.82722	235	234	.word	15607	;0.4763	290	289
.word	27164	;0.82898	236	235	.word	15165	;0.46279	291	290
.word	27211	;0.83043	237	236	.word	14716	;0.4491	292	291
.word	27248	;0.83155	238	237	.word	14262	;0.43524	293	292
.word	27274	;0.83235	239	238	.word	13802	;0.42121	294	293
.word	27290	;0.83283	240	239	.word	13337	;0.40702	295	294
.word	27296	;0.83299	241	240	.word	12867	;0.39267	296	295
.word	27290	;0.83283	242	241	.word	12392	;0.37817	297	296
.word	27274	;0.83235	243	242	.word	11912	;0.36353	298	297
.word	27248	;0.83155	244	243	.word	11428	;0.34874	299	298
.word	27211	;0.83043	245	244	.word	10939	;0.33382	300	299
.word	27164	;0.82898	246	245	.word	10446	;0.31877	301	300
.word	27106	;0.82722	247	246	.word	9948	;0.3036	302	301
.word	27038	;0.82514	248	247	.word	9447	;0.28831	303	302
.word	26959	;0.82274	249	248	.word	8943	;0.27291	304	303
.word	26870	;0.82002	250	249	.word	8435	;0.25741	305	304
.word	26771	;0.81699	251	250	.word	7923	;0.24181	306	305
.word	26661	;0.81364	252	251	.word	7409	;0.22611	307	306
.word	26541	;0.80998	253	252	.word	6892	;0.21032	308	307
.word	26411	;0.806	254	253	.word	6372	;0.19446	309	308
.word	26271	;0.80172	255	254	.word	5850	;0.17852	310	309
.word	26120	;0.79712	256	255	.word	5325	;0.16251	311	310
.word	25960	;0.79222	257	256	.word	4798	;0.14644	312	311
.word	25789	;0.78702	258	257	.word	4270	;0.13031	313	312
.word	25608	;0.78151	259	258	.word	3740	;0.11413	314	313
.word	25418	;0.7757	260	259	.word	3208	;0.097908	315	314
.word	25218	;0.76959	261	260	.word	2675	;0.081648	316	315
.word	25008	;0.76318	262	261	.word	2142	;0.065356	317	316
.word	24788	;0.75648	263	262	.word	1607	;0.049039	318	317
.word	24559	;0.74948	264	263	.word	1072	;0.032703	319	318
.word	24320	;0.7422	265	264	.word	536	;0.016355	320	319

controle2.cmd

MEMORY

```
{ PAGE 0:
    VECS                origin = 0000h,        length = 0040h
    FLASH:              origin = 0044h,        length = 7F00h
    PAGE 1:
    B2:                 origin = 0060h,        length = 0040h
    B0:                 origin = 0200h,        length = 0100h
    B1:                 origin = 0300h,        length = 0100h
    SARAM_D:            origin = 0800h,        length = 0700h
    Ext_Ram:            origin = 08100h,       length = 4000h }
```

SECTIONS

```
{
    vectors:            > VECS                PAGE 0
    .text:              > FLASH                PAGE 0
    .data:              > SARAM_D             PAGE 1
    .bss:               > SARAM_D             PAGE 1
    buffer:             > SARAM_D             PAGE 1
    stack:              > B1                  PAGE 1
    dados:              { } > Ext_Ram          PAGE 1
}
```

cvecsors.asm

```
    .ref  start
    .ref  adc_isr
    .ref  pin_isr

    .sect  "vectors" ;Tabela dos vetores de int. do núcleo

int1:      B      start                ;00h reset
int2:      B      int1                 ;02h INT1
int3:      B      int2                 ;04h INT2
int4:      B      int3                 ;06h INT3
int5:      B      pin_isr              ;08h INT4
int6:      B      int5                 ;0Ah INT5
int7:      B      adc_isr              ;0Ch INT6
int8:      B      int7                 ;0Eh reserved
int9:      B      int8                 ;10h INT8 user-defined
int10:     B      int9                 ;12h INT9 user-defined
int11:     B      int10                ;14h INT10 user defined
int12:     B      int11                ;16h INT11 user defined
int13:     B      int12                ;18h INT12 user defined
int14:     B      int13                ;1Ah INT13 user defined
int15:     B      int14                ;1Ch INT14 user defined
int16:     B      int15                ;1Eh INT15 user defined
int17:     B      int16                ;20h INT16 user defined
int18:     B      int17                ;22h TRAP
int19:     B      int18                ;24h NMI
int20:     B      int19                ;26h reserved
int21:     B      int20                ;28h INT20 user defined
int22:     B      int21                ;2Ah INT21 user defined
int23:     B      int22                ;2Ch INT22 user defined
int24:     B      int23                ;2Eh INT23 user defined
int25:     B      int24                ;30h INT24 user defined
int26:     B      int25                ;32h INT25 user defined
int27:     B      int26                ;34h INT26 user defined
int28:     B      int27                ;36h INT27 user defined
int29:     B      int28                ;38h INT28 user defined
int30:     B      int29                ;3Ah INT29 user defined
int31:     B      int30                ;3Ch INT30 user defined
int31:     B      int31                ;3Eh INT31 user defined
```