

**UNIVERSIDADE FEDERAL DE SANTA CATARINA**  
**DEPARTAMENTO DE ENGENHARIA ELÉTRICA**  
EEL7051 – Materiais Elétricos - Laboratório

**EXPERIÊNCIA 06**  
**CURVAS CARACTERÍSTICAS DE TRANSISTORES**  
**E PORTAS LÓGICAS**

## 1 INTRODUÇÃO

Neste ensaio têm-se como objetivos:

- Identificar e traçar a curva característica  $I_D$  versus  $V_{GS}$  de um transistor MOSFET do tipo crescimento (ou intensificação) NMOS;
- Estimar os valores da resistência  $R_{on}$  e  $R_{off}$  para o NMOS;
- Levantar a curva característica de uma porta lógica com transistores MOSFET do tipo crescimento;
- Verificar o comportamento de uma porta lógica com transistores NMOS e PMOS para variações de frequência e tensão de alimentação.

## 2 TRANSISTORES MOSFET

A tecnologia MOS responde atualmente por 90% do mercado mundial de semicondutores, em sua maioria constituído de memórias e microprocessadores. Seu emprego com fins didáticos se dá devido ao fato de serem elementos conceitualmente simples e de apresentarem boa correlação entre valores teóricos e experimentais, entretanto, são produzidos apenas na forma integrada, isto é, com centenas ou até milhares de outros no mesmo chip.

Como um dispositivo a dois terminais, o transistor MOS funciona como um capacitor. O contato metálico no alto do transistor é chamado gate. O dióxido de silício na forma ultrapura usado neste tipo de tecnologia é um ótimo isolador.

Quando uma tensão positiva é aplicada no eletrodo gate, uma carga negativa é induzida no silício, e vice-versa. Um transistor MOS é simplesmente o capacitor citado acima com dois contatos laterais no silício. Estes eletrodos são chamados fonte (source) e dreno (drain), porém o dispositivo é completamente simétrico, de modo que a identificação dos dois contatos depende das conexões do circuito. A superfície do silício que sofre inversão é chamada de canal (channel) porque fornece um canal condutor tipo P ou tipo N da fonte para o dreno. Para que haja uma corrente qualquer fluindo da fonte para o dreno, é necessário aplicar uma pequena tensão positiva  $V_D$  ao dreno.

A estrutura interna de um MOSFET do tipo crescimento (ou intensificação) com canal N é mostrada na figura 1. Por sua vez, na figura 2 é mostrado o símbolo completo do MOSFET do tipo crescimento com canal N e na figura 3 o símbolo mais usual, no qual o substrato está ligado na fonte.

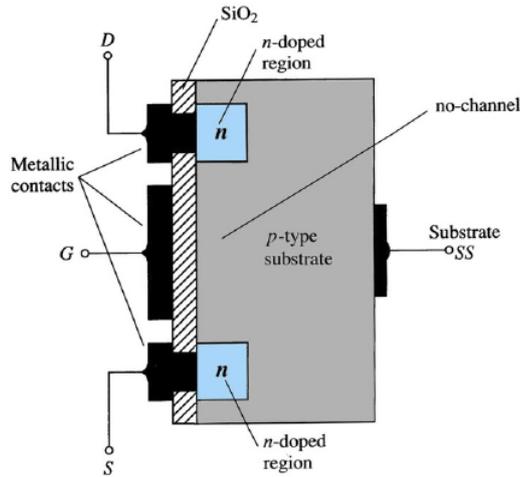
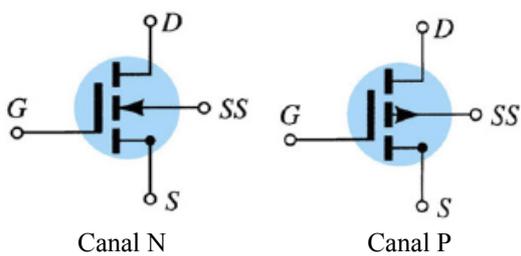


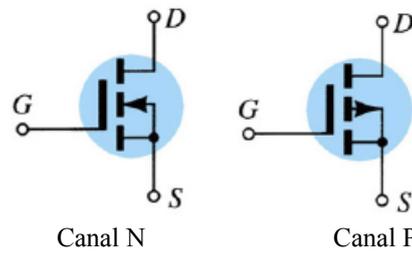
Figura 1 - Estrutura interna de um MOSFET do tipo crescimento de canal N [1].



Canal N

Canal P

Figura 2 - Símbolos de MOSFETs do tipo crescimento de canal N e P.



Canal N

Canal P

Figura 3 - Símbolos usuais do transistor NMOS e PMOS da figura 2.

A curva característica que ilustra o comportamento da corrente de dreno ( $I_D$ ) com a tensão de gatilho ( $V_{GS}$ ) e a tensão de dreno ( $V_{DS}$ ) é mostrada na figura 4.

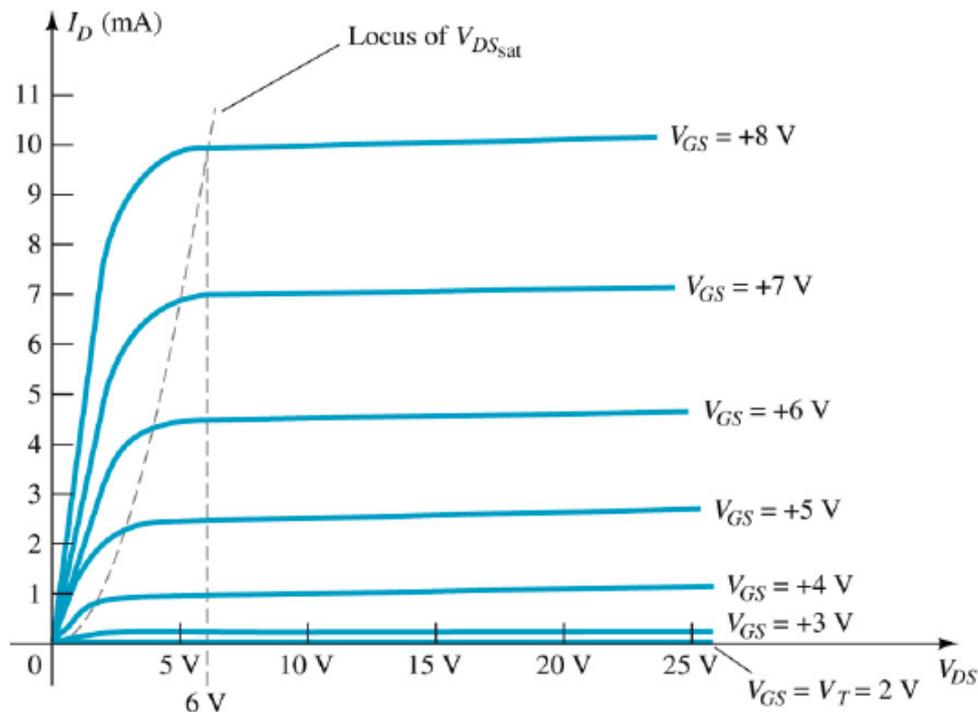


Figura 4 - Curva característica  $I_D$  versus  $V_{DS}$  em função de  $V_{GS}$  para o NMOS [1].

O ensaio de laboratório consiste em variar a tensão entre o gatilho e a fonte e medir a corrente de dreno. Desta forma se obtém uma curva semelhante a mostrada na figura 5, no lado esquerdo. Nesta curva, pelo fato da tensão de dreno ser constante (igual a da fonte, 5 V), obtém-se uma seqüência de pontos que representam a interseção da tensão  $V_{GS}$  com a tensão de dreno e a corrente de dreno na curva da direita.

Além disso, na figura 5 é mostrada a curva característica obtida em laboratório para o transistor  $N_4$  do chip didático.

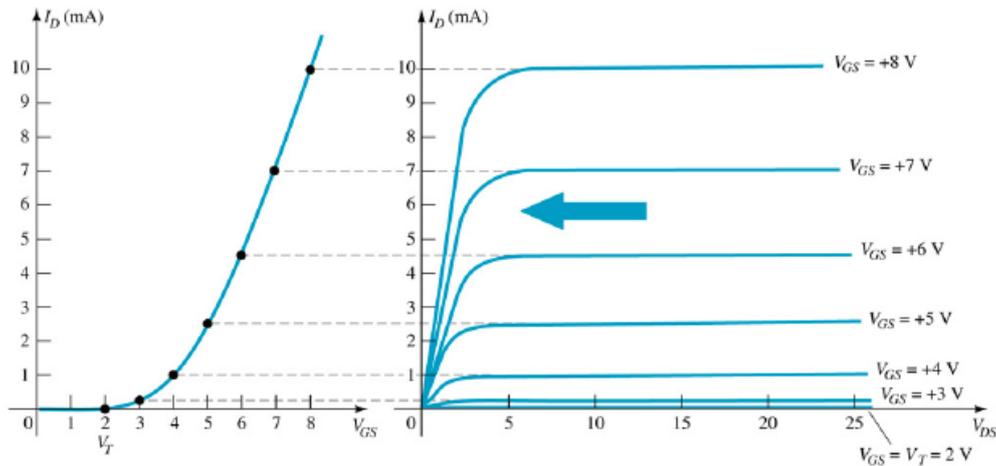


Figura 5 - Característica de transferência de um transistor NMOS [1].

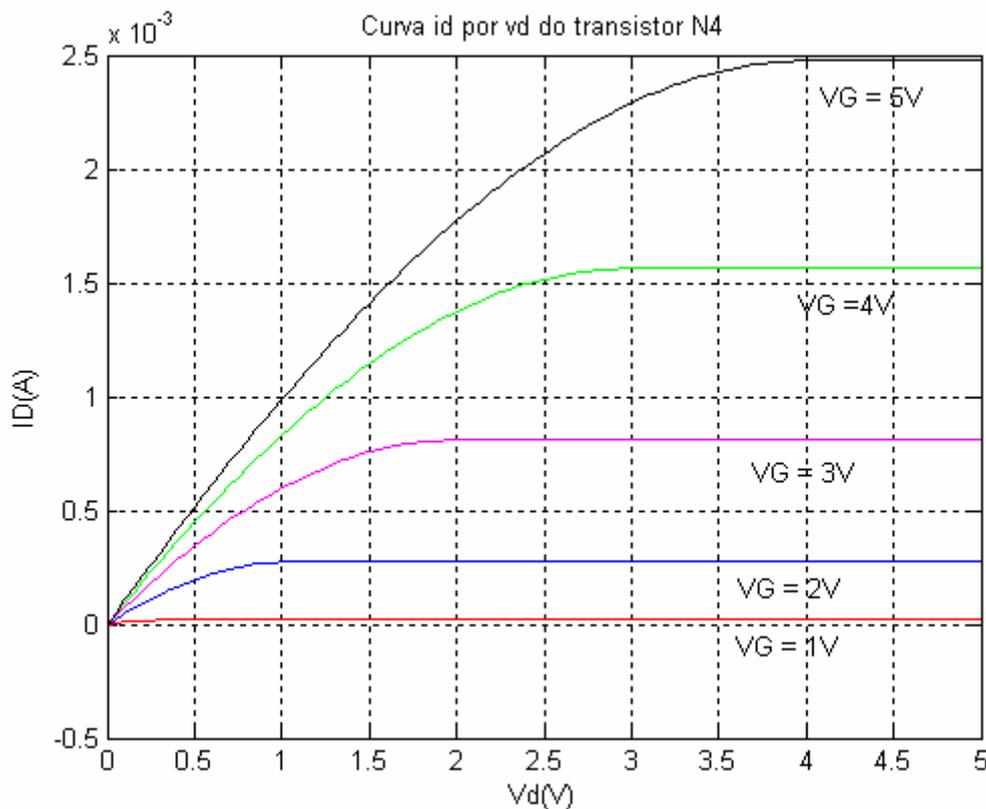


Figura 6 - Curvas  $I_D$  versus  $V_D$  em função de  $V_G$  para o transistor  $N_4$  do chip didático.

### 3 PORTAS LÓGICAS

Uma porta lógica integrada é um circuito formado normalmente por dois ou mais transistores conectados de forma a implementar alguma função lógica.

Um circuito de uma porta inversora pode ser implementado usando-se dois transistores MOSFET do tipo crescimento, um deles NMOS e o outro PMOS, como mostrado na figura 7. Nota-se que o transistor superior é o PMOS e o inferior é o NMOS, ambos os gatilhos estão conectados juntos e são a entrada da porta.

O funcionamento da porta pode ser entendido usando-se as curvas características dos transistores NMOS e PMOS mostradas na figura 8. Para o transistor NMOS conduzir é necessário aplicar entre gatilho e fonte uma tensão positiva maior que a tensão de limiar (threshold), como mostrado na figura 8.a. Já para o transistor PMOS a tensão  $V_{GS}$  deve ser negativa e maior que a tensão de limiar, como mostrado na figura 8.b.

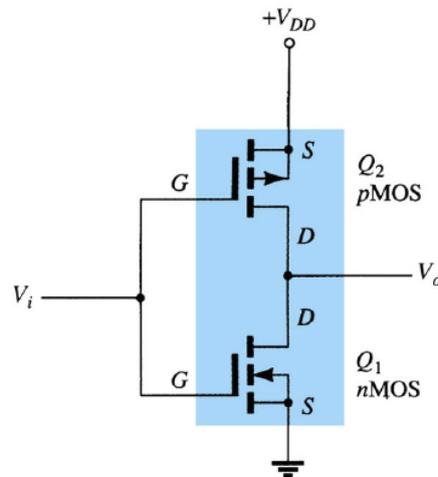


Figura 7 - Porta lógica inversora com transistores MOSFET [1].

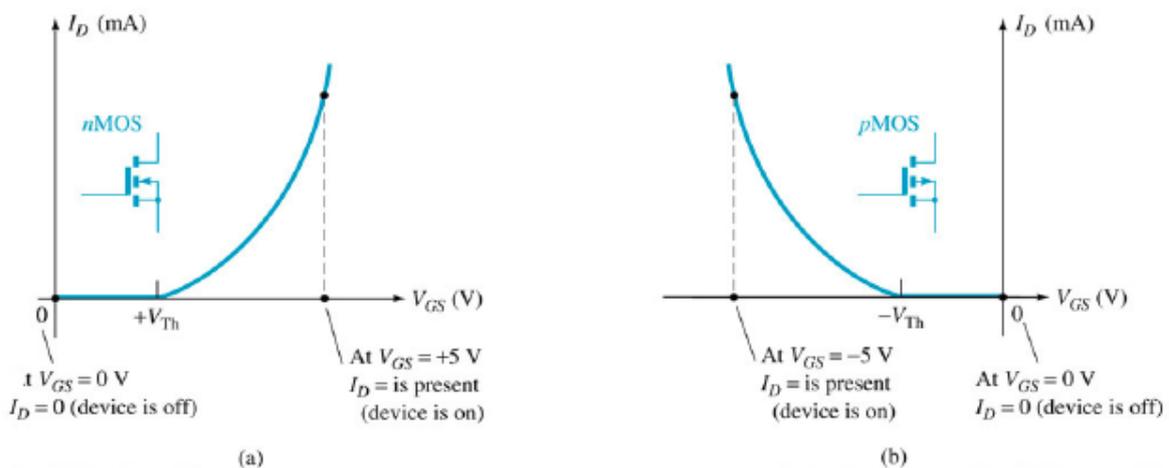


Figura 8 - Operação dos transistores PMOS e NMOS [1].

Informações adicionais sobre esta experiência podem ser encontradas:

- [1] Dispositivos Eletrônicos e Teoria de Circuitos. Robert L. Boylestad e Louis Nashelsky – 8ª Edição. Editora Prentice Hall, 2004;
- [2] Site do livro [1] disponível em [http://www.prenhall.com/boylestad\\_br](http://www.prenhall.com/boylestad_br)

## 4 PARTE EXPERIMENTAL

O ensaio de laboratório é dividido em duas partes, a primeira consiste em levantar a curva de resposta do transistor  $N_4$  do chip didático. A segunda parte consiste em experimentos com a porta lógica formada por  $N_4$  e  $P_4$  do mesmo circuito integrado.

### 4.1 Curvas de $I_D$ versus $V_{GS}$

Usando o circuito integrado didático monte o circuito da figura 9. Atente para o fato de que é necessário ligar o substrato junto à fonte (pino 1 ligado ao 20). Da mesma forma, deve-se ligar o terminal 33 à terra e o 34 ao positivo da alimentação.

Varie a tensão entre gatilho e fonte usando o potenciômetro e anote os valores lidos na tabela a seguir, com variações de 0,5 V.

Para o relatório deve ser traçado o gráfico de  $I_D$  versus  $V_{GS}$ .

Com os valores extremos de  $V_{GS}$  e  $I_D$ , sabendo que  $V_D \approx 5V$ , pode ser obtido  $R_{on}$  e  $R_{off}$ .

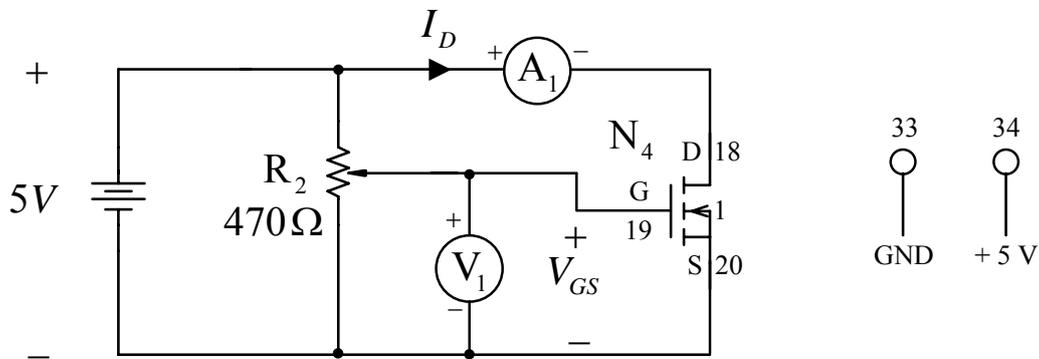


Figura 9 - Circuito a ser montado.

$V_{GS}$	$V_{GS}$ medido	$I_D$	$V_D$	$R_{DS}$
0,0				
0,5				
1,0				
1,5				
2,0				
2,5				
3,0				
3,5				
4,0				
4,5				
5,0				

### 4.2 Portas lógicas

Montar o circuito da figura 10 usando o circuito integrado didático e levantar a curva de resposta da porta lógica CMOS.

Variando a tensão na entrada da porta inversora (terminal 19) anote esta tensão, bem como a tensão de saída (terminal 20).

Trace o gráfico da tensão de saída ( $V_o$ ) em função da tensão de entrada ( $V_i$ ).

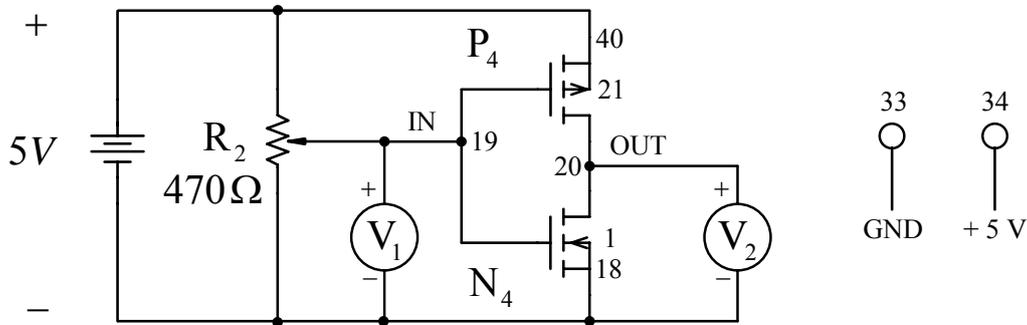


Figura 10 - Circuito a ser montado.

$V_i$	$V_i = V_1$ medido	$V_o = V_2$
0,0		
0,5		
1,0		
1,5		
2,0		
2,5		
3,0		
3,5		
4,0		
4,5		
5,0		

Faça algumas aquisições com o osciloscópio, variando a frequência do gerador de sinais e verificando a resposta da porta lógica.

Anote também o tempo de atraso que a porta insere no circuito.

No relatório apresente as formas de onda obtidas com o osciloscópio e comente a respeito.

Obs.: O comportamento de uma porta lógica está diretamente relacionado a tensão de alimentação da mesma. Se as tensões forem baixas, a frequência de resposta da porta lógica CMOS será menor.

## 5 DADOS DO CIRCUITO INTEGRADO

Pinagem e descrição dos terminais do CI.

Pinos	Descrição
1	Bulk N <sub>2</sub> e N <sub>4</sub>
2	Source\drain N <sub>2</sub>
3	Source\drain N <sub>1</sub>
4	Bulk N <sub>1</sub>
5	Source\drain N <sub>1</sub> e P <sub>1</sub>
6	Source\drain P <sub>1</sub>
7	Bulk P <sub>1</sub>
8	Gate P <sub>1</sub> e N <sub>1</sub>
9	Bulk P <sub>2</sub>
10	Gate P <sub>2</sub> e N <sub>2</sub>
11	Source\drain P <sub>2</sub>
12	Source\drain P <sub>2</sub> e P <sub>3</sub>
13	Source\drain P <sub>3</sub>
14	Gate P <sub>3</sub> e N <sub>3</sub>
15	Bulk P <sub>3</sub>
16	Source\drain N <sub>3</sub> e N <sub>2</sub>
17	Bulk N <sub>3</sub>
18	Source\drain N <sub>3</sub> e N <sub>4</sub>
19	Gate N <sub>4</sub> e P <sub>4</sub>
20	Source\drain N <sub>4</sub> e P <sub>4</sub>

Pinos	Descrição
21	Bulk P <sub>4</sub>
22	Centro superior R <sub>sp</sub>
23	Canto superior R <sub>sp</sub>
24	Centro Lateral esquerda R <sub>sp</sub>
25	Canto inferior esquerdo R <sub>sp</sub>
26	Centro inferior R <sub>sp</sub>
27	Contato direito R <sub>sp</sub>
28	R <sub>6</sub> resistor serpentina (resistor de poço) 10 KΩ
29	R <sub>6</sub> resistor serpentina (resistor de poço) 10 KΩ
30	R <sub>3</sub> e R <sub>1</sub> (R <sub>3</sub> resistor de poço 4,7 KΩ)
31	R <sub>1</sub> (resistor de poly) 1 KΩ
32	R <sub>2</sub> (resistor de poly) 1 KΩ
33	Ground
34	V <sub>dd</sub>
35	R <sub>3</sub> e R <sub>2</sub>
36	R <sub>4</sub> (resistor de poly) 500 Ω
37	R <sub>4</sub> (resistor de poly) 500 Ω
38	R <sub>8</sub> (resistor de poly) 500 Ω
39	R <sub>8</sub> (resistor de poly) 500 Ω
40	Source\drain P <sub>4</sub>

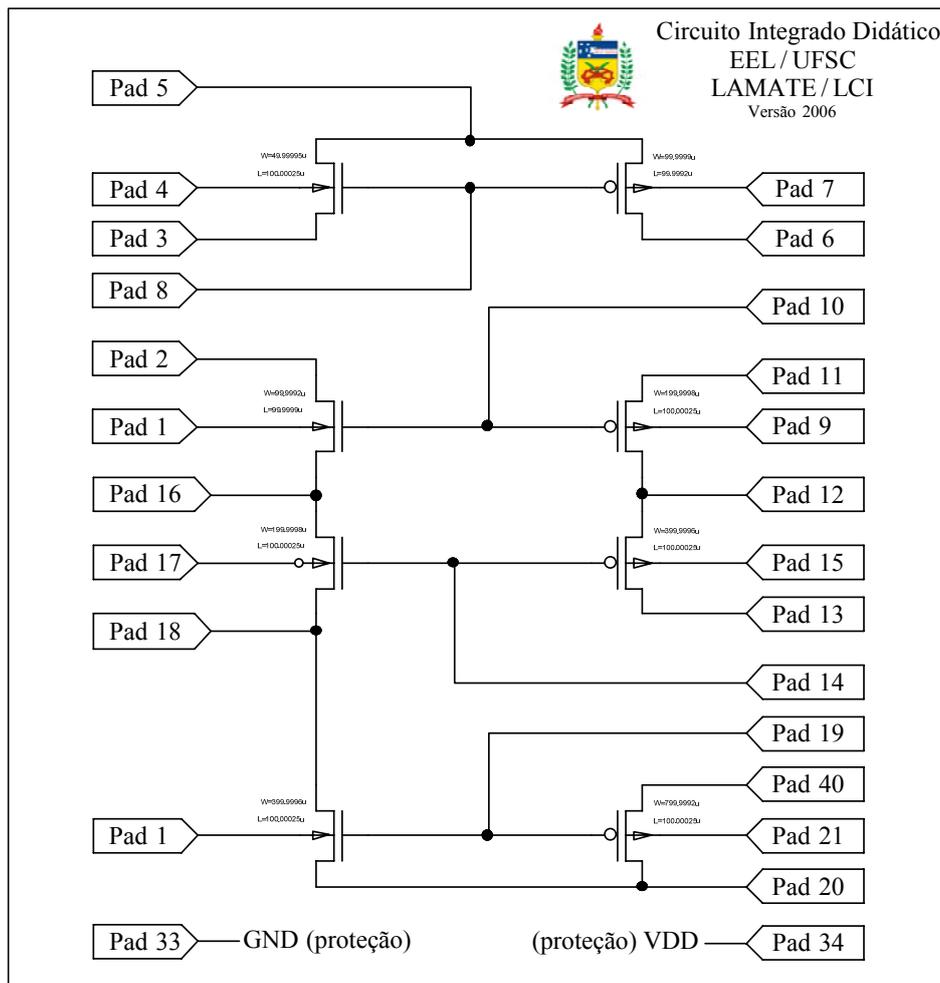


Figura 11 - Esquema de ligação interna do circuito integrado didático.